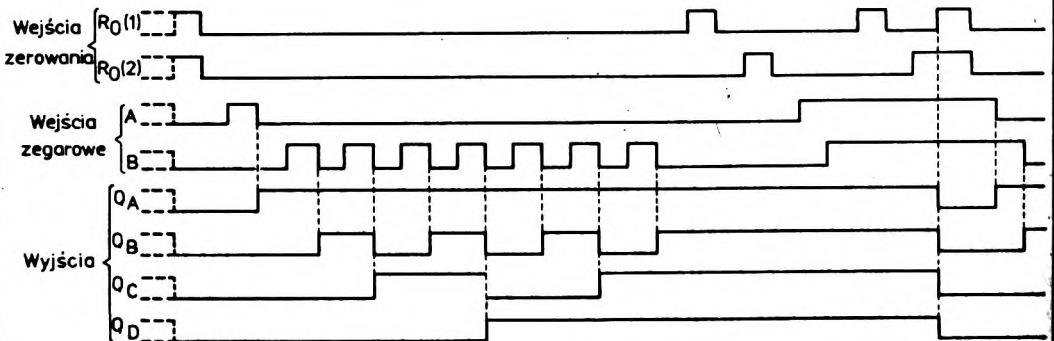
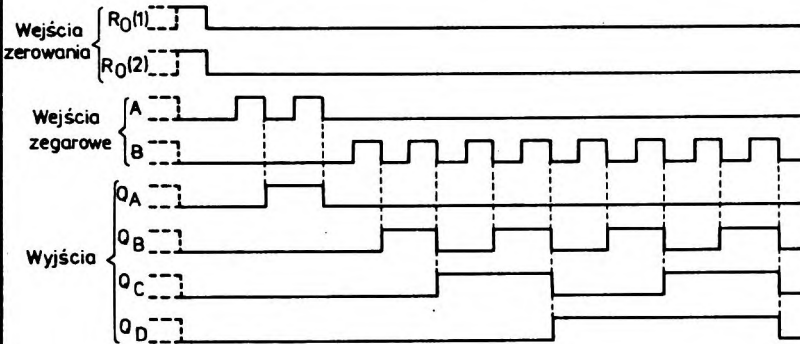
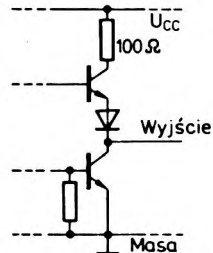
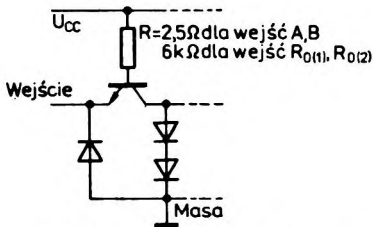
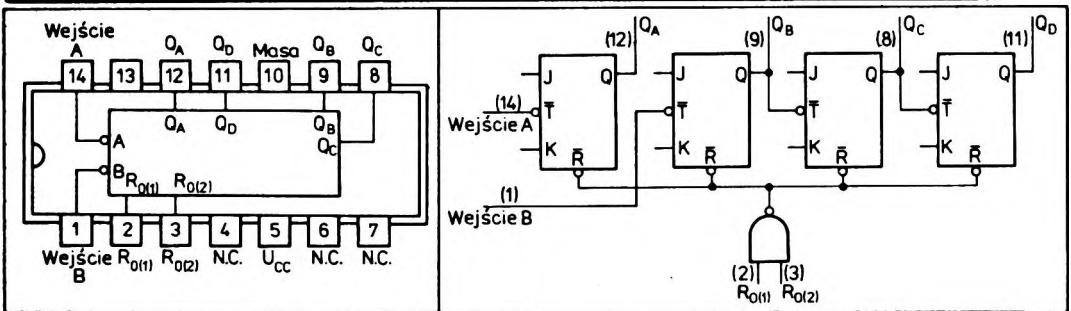


### 3.1.1.5. Czterobitowe liczniki dwójkowe: UCA6493N, UCY7493N



Przebiegi określające zależności funkcjonalne

Monolityczne układy scalone UCA6493N lub UCY7493N zawierają cztery przerzutniki JK-MS i dwuwejściową bramkę I-NIE połączone w ten sposób, że tworzą dwa liczniki: pierwszy 1-bitowy i drugi 1-bitowy ze wspólnymi bramkowanymi wejściami zerowania. Łącząc zewnętrznie wyjście pierwszego

przerzutnika  $Q_A$  z wejściem licznika 3-bitowego  $B$  tworzy się dwójkowy licznik 4-bitowy. Liczniki: 1-bitowy i 3-bitowy można wykorzystywać oddzielnie jeżeli nie jest wymagane ich zerowanie, lub zerowanie obu liczników może być jednoczesne.

Wejścia zerowania wszystkich przerzutników są dołączone do wyjścia dwuwejściowej bramki I-NIE. Zerowanie licznika, czyli wprowadzenie stanu niskiego (0) na wyjścia wszystkich przerzutników ( $Q_A$ ,  $Q_B$ ,  $Q_C$  i  $Q_D$ ) następuje wtedy, gdy na obu wejściach zerowania  $R_{0(1)}$  i  $R_{0(2)}$  wystąpi stan wysoki (1).

W czasie zliczania co najmniej jedno z wejść zerowania  $R_{0(1)}$  lub  $R_{0(2)}$  musi być w stanie niskim (0).

Układy UCA6493N i UCY7493N są produkowane w obudowach A49B(CE70).

Tabela stanów

Liczba	Stan wyjść				Stan wyjść		
	$Q_A$	$Q_B$	$Q_C$	$Q_D$	$Q_B$	$Q_C$	$Q_D$
0	0	0	0	0	0	0	0
1	1	0	0	0	1	0	0
2	0	1	0	0	0	1	0
3	1	1	0	0	1	1	0
4	0	0	1	0	0	0	1
5	1	0	1	0	1	0	1
6	0	1	1	0	0	1	1
7	1	1	1	0	1	1	1
8	0	0	0	1			
9	1	0	0	1			
10	0	1	0	1			
11	1	1	0	1			
12	0	0	1	1			
13	1	0	1	1			
14	0	1	1	1			
15	1	1	1	1			

Licznik 3-bitowy z wejściem B.

Wyjście  $Q_A$  połączone z wejściem B

Tabela funkcyjna

Wejścia zerowania		Wyjścia			
$R_{0(1)}$	$R_{0(2)}$	$Q_D$	$Q_C$	$Q_B$	$Q_A$
1	1	0	0	0	0
0	X	Liczenie			
X	0	Liczenie			

X - stan dowolny

Zalecane warunki pracy

Parametry		Wartość			Jednostki
Nazwa	Symbol	min	nom	max	
Napięcie zasilania	$U_{cc}$	4,75	5,0	5,25	V
Obciążalność	w stanie niskim	$N_L$	10		s.o.l.
	w stanie wysokim	$N_H$	20		
Obciążenie wnoszone przez wejście	$A, B$		2		
	$R_{0(1)}, R_{0(2)}$		1		
Czas trwania impulsów zegarowych na wejściach A, B	$t_w$	50			ns
Czas trwania impulsów zerujących na wejściach $R_{0(1)}, R_{0(2)}$	$t_{wz}$	50			ns
Zakres temperatury otoczenia	UCA6493N	$t_{amb}$	-40	85	°C
	UCY7493N		0	70	

**Wartości dopuszczalne parametrów**

Parametry		Wartość		Jednostki
Nazwa	Symbol	min	max	
Napięcie zasilania	$U_{CC}$		7	V
Napięcie wejściowe	$U_I$		5,5	V
Ujemny prąd wyjściowy	$-I_I$		12	mA
Zakres temperatury przechowywania	$t_{118}$	-55	125	°C

**Parametry statyczne**

(Jeżeli nie podano inaczej — w pełnym zakresie temperatury otoczenia)

Parametry		Wartość			Jednostki	Warunki pomiaru	Układ pomiarowy
Nazwa	Sym-bol	min	typ <sup>1)</sup>	max			
Napięcie wejściowe w stanie niskim	$U_{IL}$		0,8		V		
Napięcie wejściowe w stanie wysokim	$U_{IH}$	2			V		
Ujemne napięcie wejściowe	$-U_I$		1,5		V	$U_{CC} = 4,75 \text{ V}$ $I_I = -12 \text{ mA}$ $t_{amb} = 25^\circ\text{C}$	L
Prąd wejściowy w stanie niskim dla wejść:	$R_{0(1)}, R_{0(2)}$		-1,6		mA	$U_{CC} = 5,25 \text{ V}$ $U_I = 0,4 \text{ V}$	H
	A, B		-3,2				I, J
Prąd wejściowy w stanie wysokim dla wejść:	$R_{0(1)}, R_{0(2)}$		40		µA	$U_{CC} = 5,25 \text{ V}$ $U_I = 2,4 \text{ V}$	G
	A, B		80				I, J
	każdego wejścia	$I_{IH}$		1		mA	$U_{CC} = 5,25 \text{ V}$ $U_I = 5,5 \text{ V}$
Napięcie wyjściowe w stanie niskim	$U_{OL}$	0,2	0,4		V	$I_{OL} = 16 \text{ mA}$	A, B
Prąd wyjściowy w stanie niskim	$I_{OL}$		16		mA	$U_{OL} \leq 0,4 \text{ V}$	
Napięcie wyjściowe w stanie wysokim	$U_{OH}$	2,4	3,4		V	$I_{OH} = -800 \mu\text{A}$	C, D, E, F
Prąd wyjściowy w stanie wysokim	$I_{OH}$		-800		µA	$U_{OH} \geq 2,4 \text{ V}$	
Zwarciovyy prąd wyjściowy <sup>2)</sup>	$I_{OS}$	-18 - 35	-55		mA	$U_{CC} = 5,25 \text{ V}$	C, D, E, F
Prąd zasilania	$I_{CC}$		32	53	mA	$U_{CC} = 5,25 \text{ V}$	K

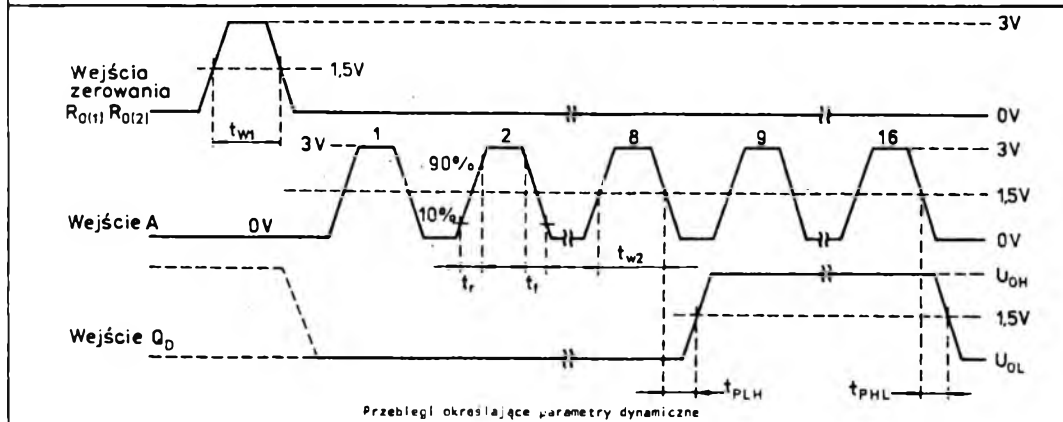
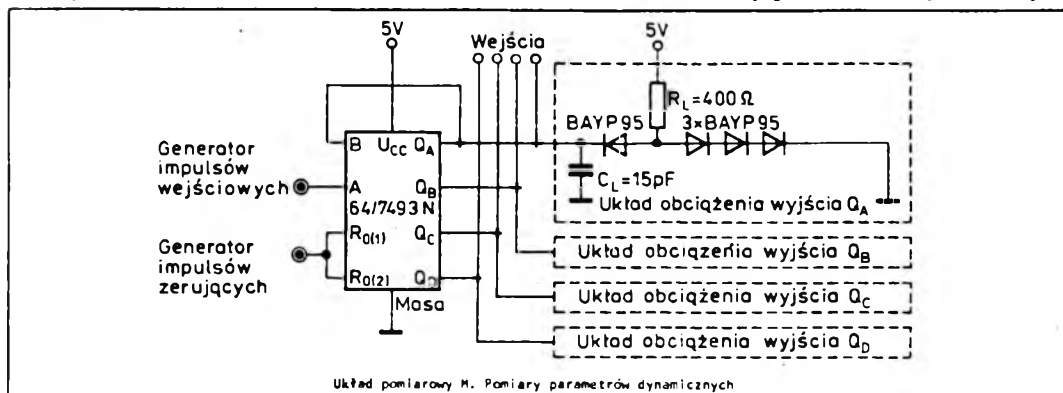
<sup>1)</sup> Wartości typowe podane są przy  $U_{CC} = 5 \text{ V}$ ,  $t_{amb} = 25^\circ\text{C}$   
<sup>2)</sup> Jednocześnie może być zwarte nie więcej niż jedno wyjście

Parametry dynamiczne przy  $U_{CC} = 5\text{ V}$ ,  $t_{amb} = 25^\circ\text{C}$

Parametry		Wartość		Jednostki	Warunki pomiaru	Układ pomiarowy
Nazwa	Symbol	min	max			
Maksymalna częstotliwość zegarowa	$f_{max}$	10		MHz	$R_L = 400\ \Omega$ $C_L = 15\ \text{pF}$	M
Czas propagacji i sygnału do stanu wysokiego na wyjściu $Q_D$ od wejścia A.	$t_{PLH}$		135	ns		
Czas propagacji sygnału do stanu niskiego na wyjściu $Q_D$ od wejścia A	$t_{PHL}$		135	ns		

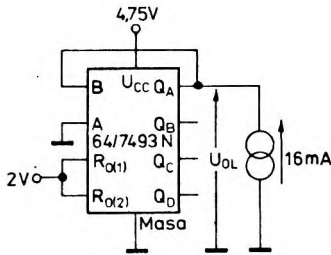
Układy pomiarowe

Pomiary parametrów dynamicznych

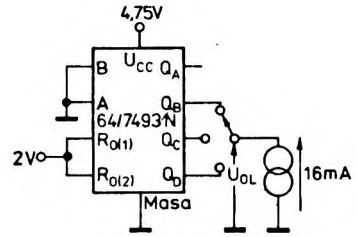


Uwagi: Parametry impulsu zerującego: amplituda  $U = 3\text{ V}$ , poziom podstawy  $0\text{ V}$ , czas trwania  $T_{w1} = 100\text{ ns}$ , czas narastania  $t_r = 5\text{ ns}$ , czas opadania  $t_f = 5\text{ ns}$ .  
 Parametry impulsów wejściowych (wejście A): amplituda  $U = 3\text{ V}$ , poziom podstawy  $0\text{ V}$ , czas trwania  $t_{w2} = 100\text{ ns}$ , częstotliwość  $f = 1\text{ MHz}$ , czas narastania  $t_r \leq 15\text{ ns}$ , czas opadania  $t_f \leq 15\text{ ns}$ .  
 Impedancja wyjściowa generatorów  $Z_0 = 50\ \Omega$   
 Wartość  $C_L$  uwzględnia pojemność sondy i pojemność montażu. Obciążeniem każdego wyjścia jest układ o danych określonych dla wyjścia  $Q_A$ .

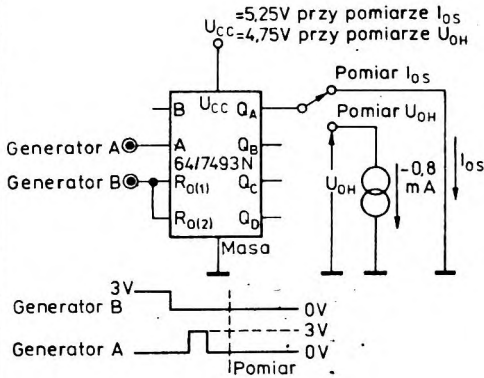
# Pomiary parametrów statycznych



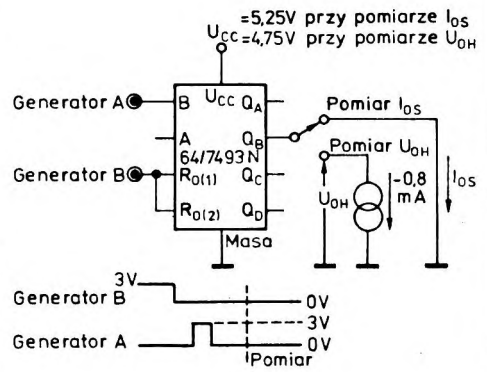
Układ pomiarowy A. Pomiar  $U_{OL}$  dla wyjścia  $Q_A$



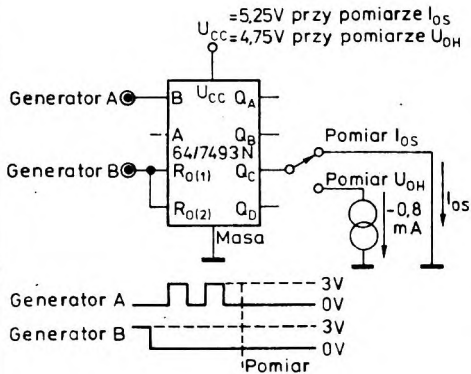
Układ pomiarowy B. Pomiar  $U_{OL}$  dla wyjść  $Q_B$ ,  $Q_C$  i  $Q_D$



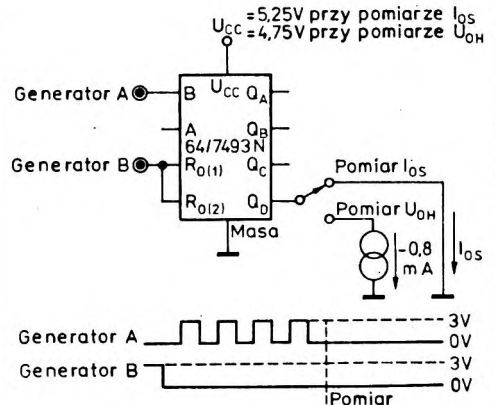
Układ pomiarowy C. Pomiar  $U_{OH}$  lub  $I_{OS}$  wyjścia  $Q_A$



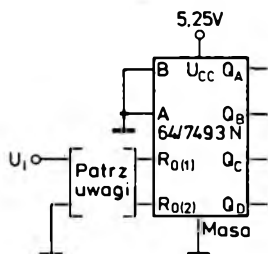
Układ pomiarowy D. Pomiar  $U_{OH}$  lub  $I_{OS}$  wyjścia  $Q_B$



Układ pomiarowy E. Pomiar  $U_{OH}$  lub  $I_{OS}$  wyjścia  $Q_C$

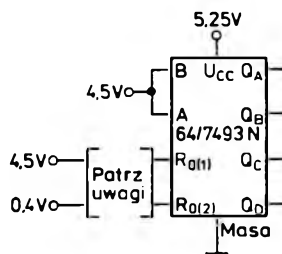


Układ pomiarowy F. Pomiar  $U_{OH}$  lub  $I_{OS}$  wyjścia  $Q_D$



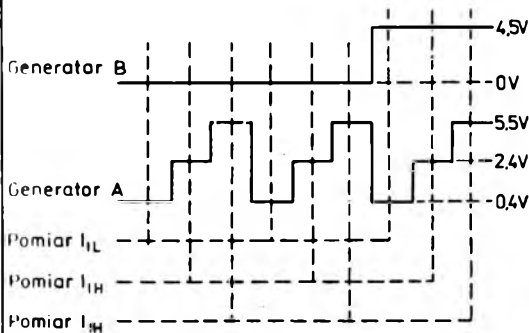
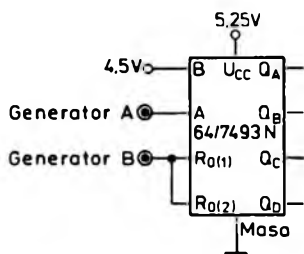
Uwagi: Każde wejście jest badane oddzielnie.  
 Na wejścia badane przyłożyć:  
 a)  $U_1 = 2,4\text{ V}$  b)  $U_1 = 5,5\text{ V}$   
 Pozostałe wejścia dotychczas do masy.

Układ pomiarowy G. Pomiar  $I_{IH}$  wejść zerowania

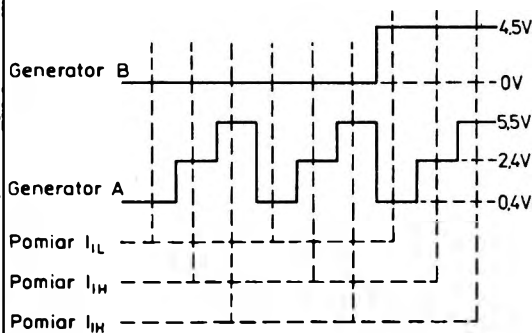
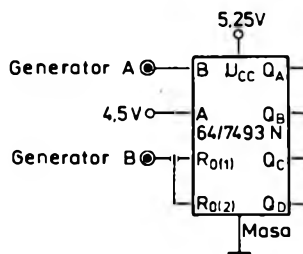


Uwagi: Każde wejście jest badane oddzielnie.  
 Przyłożyć na wejście badane  $U_1 = 0,4\text{ V}$ ,  
 pozostałe wejścia dotychczas do źródła napięcia  $U_1 = 4,5\text{ V}$

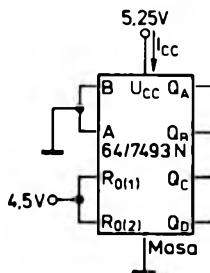
Układ pomiarowy H. Pomiar  $I_{IL}$  wejść zerowania



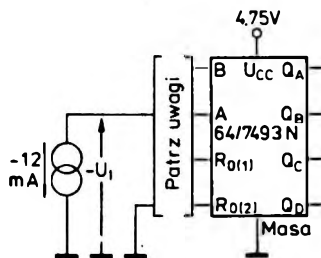
Układ pomiarowy I. Pomiar  $I_{IL}$ ,  $I_{IH}$  wejścia A.



Układ pomiarowy J. Pomiar  $I_{IL}$ ,  $I_{IH}$  wejścia B.



Układ pomiarowy K. Pomiar  $I_{CC}$



Uwagi: Każde wejście jest badane oddzielnie  
 $I_1 = -12\text{ mA}$  z wejścia badanego  
 pozostałe wejścia dotychczas do masy

Układ pomiarowy L. Pomiar  $-U_1$

### 3.1.1.6. Typowe zastosowania liczników 64/7493N

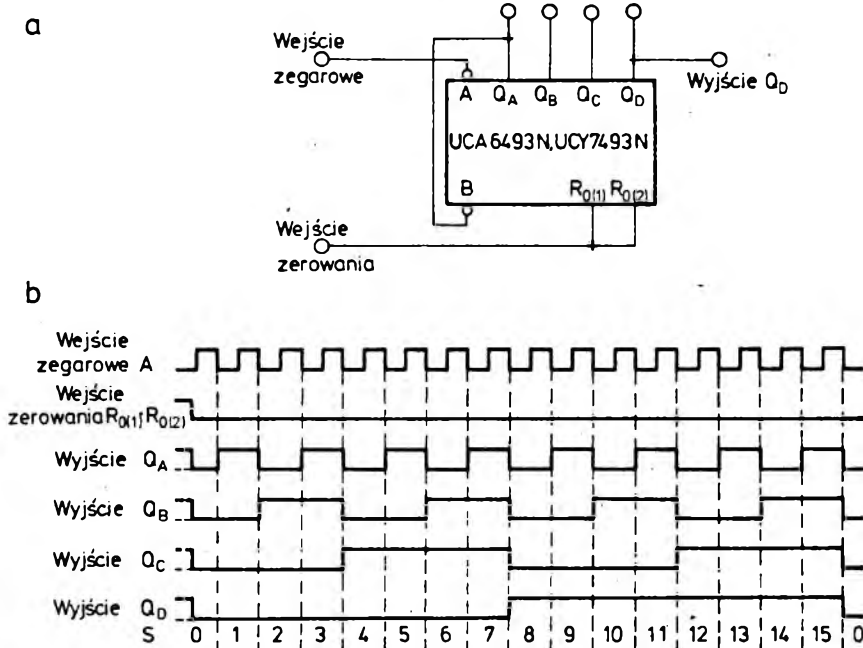
#### Liczniki dwójkowe

Układ scalony UCA6493N lub UCY7493N zawiera cztery przerzutniki JK-MS, połączone w ten sposób, że tworzą dwa liczniki: pierwszy 1-bitowy i drugi 3-bitowy. Oba liczniki mają wspólne bramkowane wejścia zerowania. Łącząc zewnętrznie wyjście pierwszego przerzutnika  $Q_A$  z wejściem licznika 3-bitowego  $B$  tworzy się dwójkowy licznik 4 bitowy. Schemat połączeń i przebiegi ilustrujące działanie czterobitowego licznika dwójkowego przedstawiono na rys. 3.25. Liczniki 1-bitowy i 3-bitowy mogą być stosowane oddzielnie. Schemat połączeń i przebiegi ilustrujące działanie licznika 3 bitowego przedstawiono na rys. 3.26. Dwójkowe liczniki N bitowe można uzyskać przez szeregowe łączenie liczników UCA6493N lub UCY7493N i wykorzystując odpowiednie wyjście przerzutnika  $Q_A, Q_B, Q_C, \dots, Q_N$ .

#### Liczniki modulo S

Układy UCA6493N lub UCY7493N można również stosować w dzielnikach o cyklach krótszych od dwójkowych liczników N bitowych.

Jeżeli wymaga się aby dzielnik miał długość cyklu  $S$ , to należy zdekodować stan licznika dwójkowego  $s = S$  i następnie sygnał z dekodera wprowadzić na wejścia zerowania. W układach tego typu każdorazowe osiągnięcie stanu licznika równe długości cyklu ( $s = S$ ) powoduje wyzerowanie licznika i rozpoczęcie cyklu od stanu  $s = 0$ . Stan licznika  $s = S$  jest w pewnym sensie stanem zabronionym i przechodzi samoczynnie w stan  $s = 0$ . Dzielnik będzie miał  $S$  różnych stanów: od  $s = 0$  do  $s = S-1$  ( $s = 0, 1, 2, \dots, S-1$ ). Jeżeli zabroniony stan licznika  $s = S$  można wyróżnić stanami logicznymi i występującymi na nie więcej niż dwóch wyjściach, to bramkowane wejście

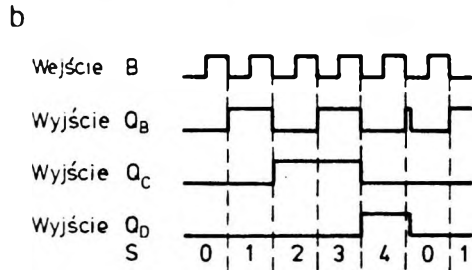
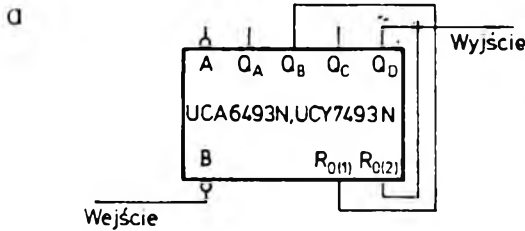


Rys. 3.25. Czterobitowe liczniki dwójkowe 64/7493N

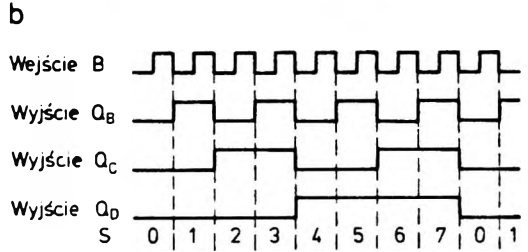
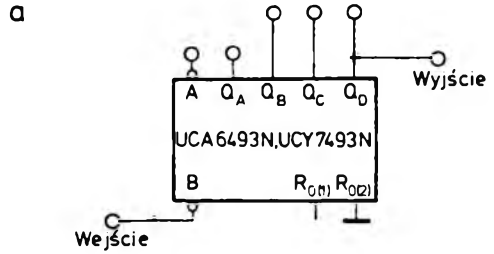
a — schemat połączeń, b — przebiegi na wejściach i wyjściach licznika

Rys. 3.26. Układ 64/7493N jako licznik 3-bitowy  
 a - schemat połączeń, b — przebiegi na wejściu i wyjściach układu

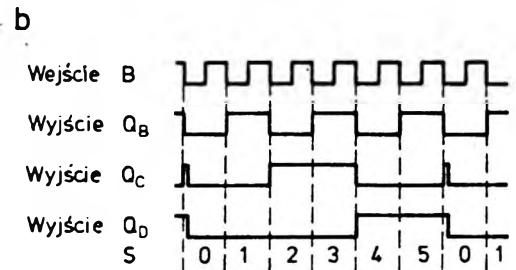
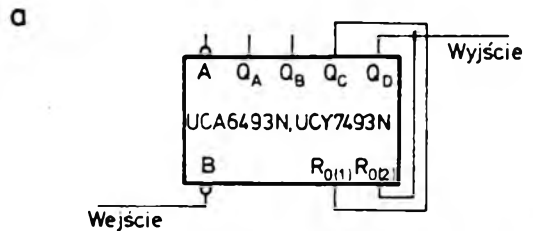
zerowania można wykorzystać do dekodowania tego stanu. Możliwość taka została wykorzystana między innymi w liczniku modulo 5 przedstawionym na rys. 3.27. Licznik ten uzyskuje się przez skrócenie cyklu 3 bitowego licznika układu UCA6493N lub UCY7493N. Dla licznika 3 bitowego stan  $s = 5$  wyróżnia się wystąpieniem stanu logicznego 1 na wyjściach  $Q_B$  i  $Q_D$ . Z chwilą osiągnięcia  $Q_B = 1$  i  $Q_D = 1$



Rys. 3.27. Licznik modulo 5  
 a — schemat połączeń, b — przebiegi ilustrujące działanie licznika

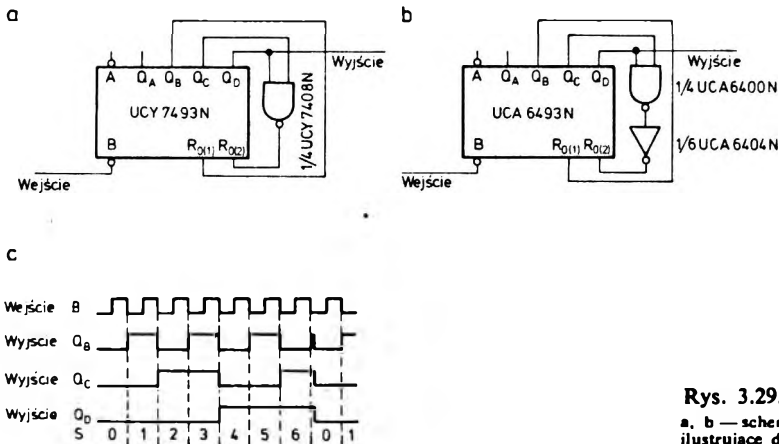


licznik jest zerowany ( $R_{0(1)} \cdot R_{0(2)} = 1$ ) i przechodzi do stanu  $s = 0$  rozpoczynając nowy cykl pracy. Analogicznie uzyskuje się licznik modulo 6 przez skrócenie cyklu licznika 3 bitowego. Schemat połączeń i przebiegi ilustrujące działanie licznika modulo 6 pokazano na rys. 3.28. Realizacja licznika modulo 7 metodą skracania cyklu licznika 3 bitowego wymaga zastosowania dodatko-



Rys. 3.28. Licznik modulo 6  
 a — schemat połączeń, b — przebiegi ilustrujące działanie licznika





**Rys. 3.29. Liczniki modulo 7**

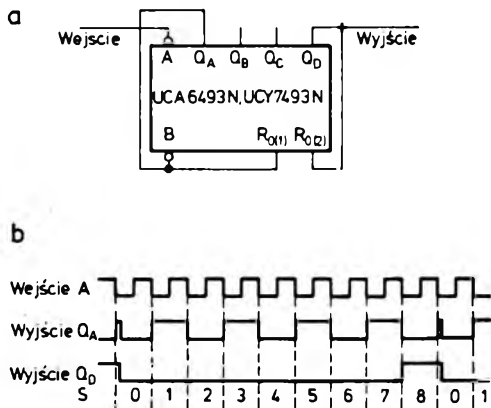
a, b — schematy ideowe, c — przebiegi ilustrujące działanie liczników

wo jednej dwuwejściowej bramki I (rys. 3.29a) lub dwuwejściowej bramki I-NIE i inwertera (rys. 3.29b). W obu układach zerowanie licznika ( $R_{0(1)} \cdot R_{0(2)} = 1$ ) następuje po osiągnięciu stanu  $s = 7$ , dla którego na wyjściach  $Q_B$ ,  $Q_C$  i  $Q_D$  istnieje poziom logiczny 1.

Licznik modulo 9 można uzyskać przez skrócenie cyklu 4 bitowego licznika dwójkowego. Schemat połączeń układu UCA6493N lub UCY7493N dla uzyskania licznika modulo 9 widać na rys. 3.30.

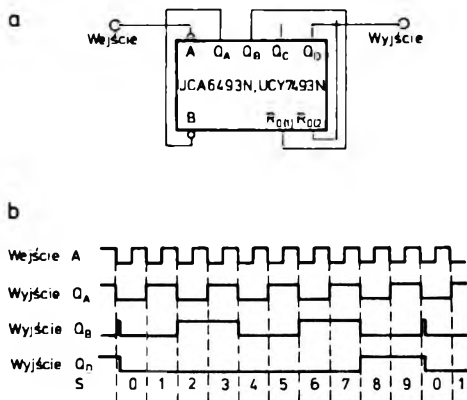
Liczniki dziesiętne są produkowane w wersji scalonej (UCA6490N lub UCY7490N), jeżeli jednak zachodzi potrzeba zastosowania układu UCA6493N lub UCY7493N jako licznika modulo 10, to można

układ połączyć tak jak pokazano na rys. 3.31. Na wyjściu  $Q_A$  tego układu otrzymuje się jednocześnie przebieg w postaci fali prostokątnej o częstotliwości dwukrotnie zmniejszonej w stosunku do częstotliwości impulsów wyjściowych. Realizacja licznika modulo 11 metodą skracania cyklu układu UCA6493N lub UCY7493N wymaga zastosowania w układzie dekodującym dwuwejściowej bramki I (rys. 3.32a), lub dwuwejściowej bramki I-NIE i inwertera (rys. 3.32b). Można również stosować w układzie dekodującym inne funkcje logiczne tak, aby warunek zerowania licznika  $R_{0(1)} \cdot R_{0(2)} = 1$  był spełniony dla stanu gdy  $Q_A = 1$ ,  $Q_B = 1$  i  $Q_D = 1$ .



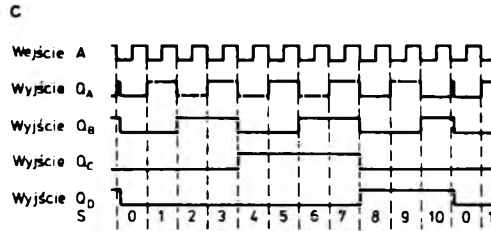
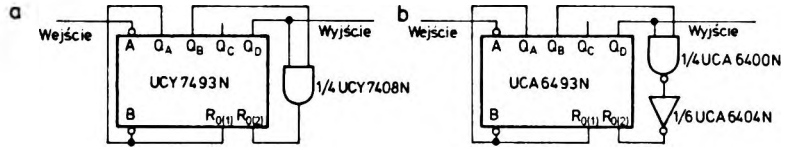
**Rys. 3.30. Liczniki modulo 9**

a — schemat połączeń, b — przebiegi ilustrujące działanie licznika



**Rys. 3.31. Układ 64/7493N jako licznik dziesiętny**

a — schemat połączeń, b — przebiegi ilustrujące działanie licznika

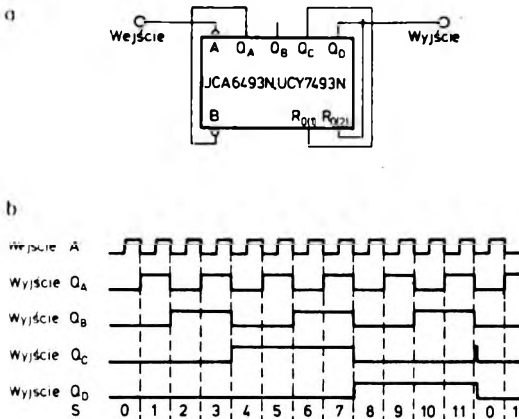


**Rys. 3.32**  
Liczniki modulo 11  
a i b — schematy  
ideowe, c — przebiegi  
ilustrujące działanie  
licznika

Na rysunku 3.33 przedstawiono sposób połączeń układu UCA6493N lub UCY7493N dla uzyskania licznika dwójkowego modulo 12. Na wyjściach  $Q_A$  i  $Q_B$  tego układu otrzymuje się jednocześnie przebiegi o kształcie fali prostokątnej i częstotliwości odpowiednio: dwukrotnie i czterokrotnie obniżonej w stosunku do częstotliwości impulsów wejściowych. Przykład realizacji licznika modulo 13 z zastosowaniem układu UCY7493N przedstawiono na rys. 3.34. W układzie tym, dla stanu  $s = 13$  spełniony jest warunek zerowania  $R_{0(1)} \cdot R_{0(2)} = 1$  i układ przechodzi samoczynnie do stanu  $s = 0$  rozpoczynając nowy cykl pracy.

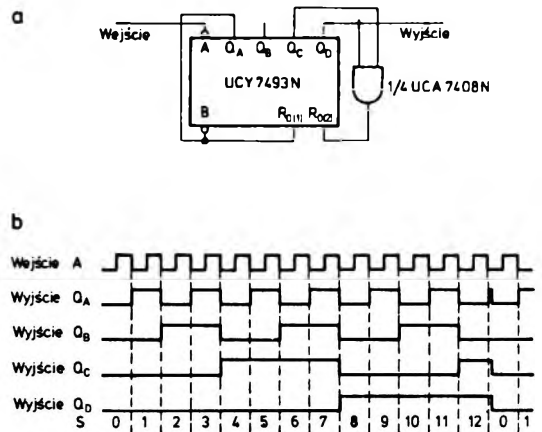
Na rysunku 3.35 przedstawiono schemat ideowy licznika modulo 14, zrealizowany metodą skracania cyklu licznika 4-bitowego UCY7493N. Jeżeli do licznika modulo 7, przedstawionego na rys. 3.29 dodamy na wejściu jeden przerzutnik istniejący w układzie UCY7493N, to otrzymuje się licznik modulo 14 przedstawiony na rys. 3.35.

Inny przykład licznika modulo 14 przedstawiono na rys. 3.36. Jest to licznik z układem wydłużającym impuls zerujący. W układzie przedstawionym na rys. 3.35 istnieje możliwość nieprawidłowego samoczynnego zerowania licznika. Jeżeli szybkości zerowania



**Rys. 3.33.** Licznik modulo 12

a — schemat połączeń, b — przebiegi na wejściu i wyjściach licznika



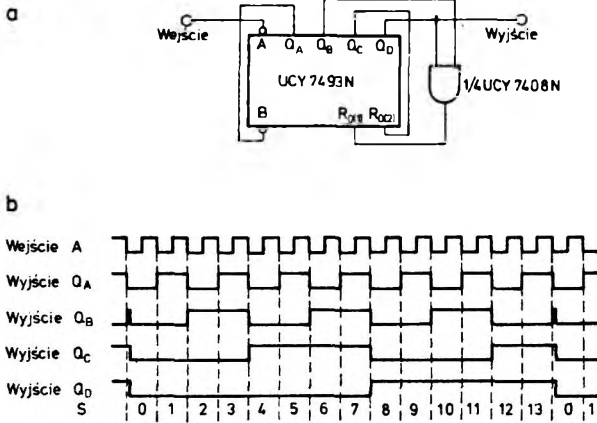
**Rys. 3.34.** Układ UCY7493N jako licznik modulo 13

a — schemat ideowy, b — przebiegi ilustrujące działanie licznika

poszczególnych przerzutników różnią się znacznie, to może się zdarzyć, że wyzerowana zostanie tylko część przerzutników i nowy cykl rozpocznie się od stanu fałszywego, różnego od stanu  $s = 0$ . Aby temu zapobiec stosuje się układy wydłużające impuls zerujący. W tym celu można zastosować przerzutnik monostabilny lub przerzutnik  $RS$ , wyzwalany sygnałem z układu dekodującego. Na rysunku 3.36 do wydłużenia impulsu zerującego użyto przerzutnik  $RS$  złożonego z dwóch dwuwejściowych bramek I-NIE. Trzywejściowa bramka I-NIE dekoduje stan licznika  $s = 14$ , dla którego  $Q_B = 1, Q_C = 1$  i  $Q_D = 1$ .

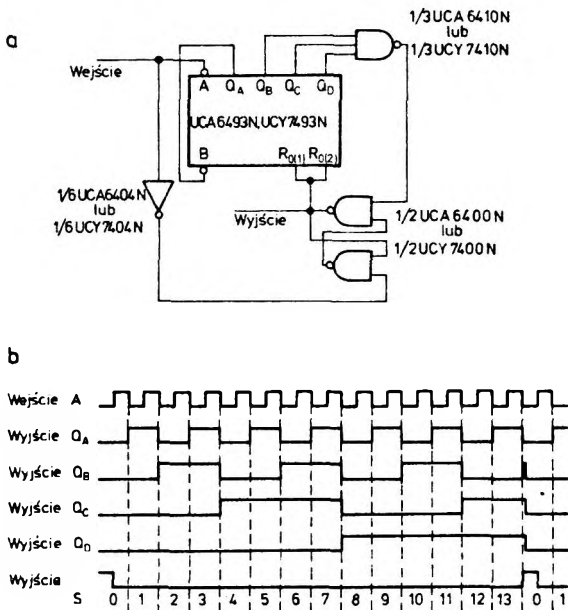
Wystąpienie poziomu logicznego 0 na wyjściu trzywejściowej bramki I-NIE zmienia stan przerzutnika  $RS$ , rozpoczynając impuls zerujący. Natomiast narastające zbocze najbliższego dodatniego impulsu zegarowego zmieni ponownie stan przerzutnika  $RS$  i zakończy impuls zerujący. Przykład zastosowania układu UCA6493N lub UCY7493N jako licznika moduło 15 z układem wydłużającym impuls zerujący pokazano na rys. 3.37.

W układach przedstawionych na rys. 3.36 i 3.37 opadające zbocze impulsu wyjściowego jest opóźnione w stosunku do przebiegu wejściowego (zegarowe-



Rys. 3.35  
Układ UCY7493N jako licznik moduło 14

a — schemat połączeń, b — przebiegi ilustrujące działanie licznika



Rys. 3.36  
Układ 64/7493N jako licznik moduło 14 z układem wydłużającym impuls zerujący

a — schemat ideowy, b — przebiegi ilustrujące działanie licznika

