

3.4. Układy arytmetyczne

Grupa układów scalonych służących do wykonywania operacji arytmetycznych jest nazywana układami arytmetycznymi. Do układów tej grupy należą: sumatory, komparatory, układy kontroli parzystości lub nieparzystości, arytmometry, bramki WYŁĄCZNIK-LUB i inne.

Podstawowym układem arytmetycznym jest sumator, służący przede wszystkim do wykonywania operacji dodawania i odejmowania. Sumator może również wykonywać operacje mnożenia i dzielenia przez wykonanie ciągu kolejnych dodawań i przesunięć.

Komparatory służą do porównania wielkości liczb dwójkowych. Bardziej rozbudowane układy komparatorów określają również która z dwóch liczb jest większa.

W układach transmisji i obróbki danych do wykrywa-

nia pojedynczych błędów stosuje się układy generacji bitu parzystości lub nieparzystości i kontroli parzystości lub nieparzystości jedynek w słowie. Do realizacji tych zadań produkowane są specjalne układy scalone zaliczane do grupy układów arytmetycznych. Bramki WYŁĄCZNIK-LUB nazywane również sumą modulo 2 lub półsumatorem są stosowane w układach porównywania liczb dwójkowych — układach zamiany kodów lub układach kontroli parzystości i innych.

W wersji scalonej produkowane są również uniwersalne jednostki arytmetyczno-logiczne (arytmometry), które dzięki rozbudowanemu programowaniu mogą realizować wiele operacji arytmetycznych i funkcji logicznych.

3.4.1. Sumatory dwójkowe czterobitowe

Monolityczny układ scalony UCA6483N lub UCY7483N jest czterobitowym sumatorem dwójkowym równoległym z przeniesieniem równoległym. Sumator ma wyjścia sumy z każdego bitu oraz wyjście przeniesienia (C4) z ostatniego bitu. Działanie logiczne sumatora określa tabela stanów.

Typowa wartość mocy rozpraszanej w układzie wynosi 310 mW.

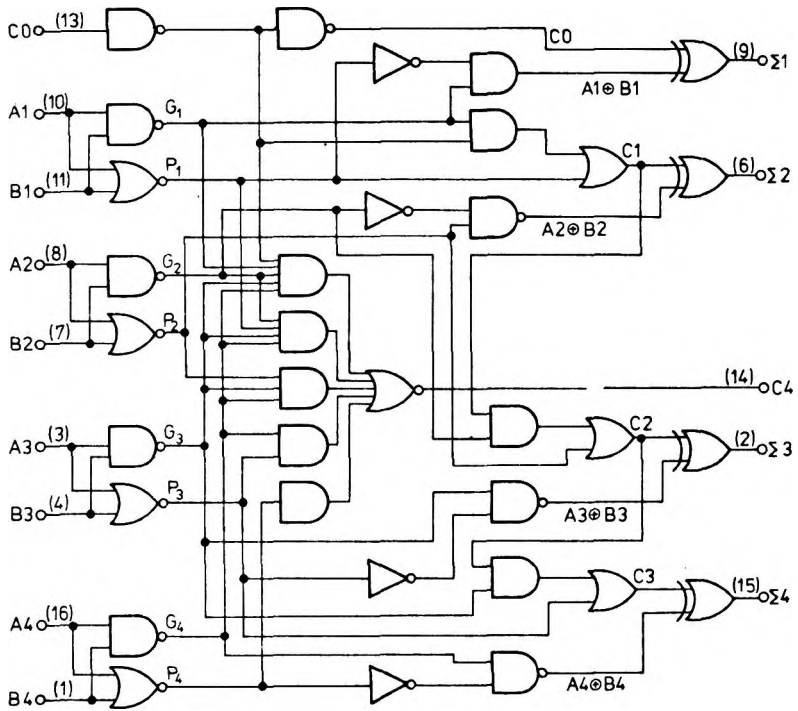
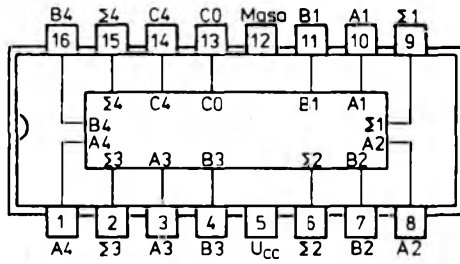
Układy UCA6483N i UCY7483N są produkowane w obudowach A49E(CE71).

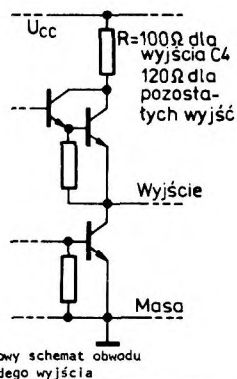
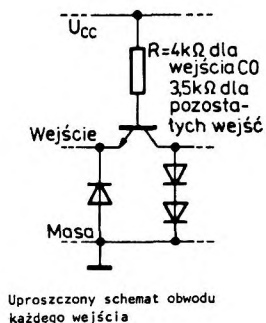
Tablica 3-3. Tabela stanów

Wejścia				Wyjścia											
				Gdy C0=L				Gdy C0=H							
A1		A2		Σ1		Σ2		C2		Σ3		Σ4		C4	
A3	B3	A4	B4	Σ3	Σ4	C4	Σ3	Σ4	C4	Σ3	Σ4	C4	Σ3	Σ4	C4
L	L	L	L	L	L	L	H	L	L	L	L	L	H	L	L
H	L	L	L	H	L	L	L	L	L	L	L	L	L	H	L
L	H	L	L	L	H	L	L	L	L	L	L	L	L	H	L
H	H	L	L	L	L	L	L	L	L	L	L	L	L	H	L
L	L	H	L	L	L	L	H	L	L	L	L	L	L	H	L
H	L	H	L	L	H	L	L	L	L	L	L	L	L	H	L
L	H	H	L	L	L	L	L	L	L	L	L	L	L	H	L
H	H	H	L	L	L	L	L	L	L	L	L	L	L	H	L
L	L	L	H	L	L	L	L	L	L	L	L	L	L	H	L
H	L	H	H	L	L	L	L	L	L	L	L	L	L	H	L
L	H	L	H	L	L	L	L	L	L	L	L	L	L	H	L
H	H	L	H	L	L	L	L	L	L	L	L	L	L	H	L
L	L	H	H	L	L	L	L	L	L	L	L	L	L	H	L
H	L	H	H	L	L	L	L	L	L	L	L	L	L	H	L
L	H	L	H	L	L	L	L	L	L	L	L	L	L	H	L
H	H	H	H	L	L	L	L	L	L	L	L	L	L	H	L

Uwagi: H — stan wysoki, L — stan niski

Uwagi:
1. Warunki wejściowe na A1, A2, B1, B2 i C0 określają stany wyjść Σ1 i Σ2 oraz wewnętrznego przeniesienia C2.
2. Warunki na C2, A3, B3, A4, B4 określają stany wyjść Σ3, Σ4 i C4





Wartości dopuszczalne parametrów

Parametry		Wartość		Jednostki
Nazwa	Symbol	min	max	
Napięcie zasilania	U_{cc}		7	V
Napięcie wejściowe	U_I		5,5	V
Ujemny prąd wejściowy	$-I_I$		12	mA
Zakres temperatury przechowywania	t_{amb}	-55	125	°C

Zalecane warunki pracy

Parametry		Wartość			Jednostki
Nazwa	Symbol	min	nom	max	
Napięcie zasilania	U_{cc}	4,75	5,0	5,25	V
Obciążalność każdego wyjścia w stanie:	niskim	N_L		10	s.o.l.
	wysokim	N_H		20	
Obciążenie wnoszone przez każde wejście				2	
Zakres temperatury otoczenia	UCA6483 N	t_{amb}	-40	85	°C
	UCY7483N		0	70	

Parametry statyczne

(Jeżeli nie podano inaczej — w pełnym zakresie temperatury otoczenia)

Parametry		Wartość			Jednostki	Warunki pomiaru	Układ pomiarowy
Nazwa	Sym-bol	min	typ ¹⁾	max			
Napięcie wejściowe w stanie niskim	U_{IL}			0,8	V		
Napięcie wejściowe w stanie wysokim	U_{IH}	2			V		
Ujemne napięcie wejściowe	$-U_I$			1,5	V	$U_{CC} = 4,75 \text{ V}$ $I_I = -12 \text{ mA}$ $t_{amb} = 25^\circ\text{C}$	C
Prąd wejściowy w stanie niskim	I_{IL}			-3,2	mA	$U_{CC} = 5,25 \text{ V}$ $U_I = 0,4 \text{ V}$	D
Prąd wejściowy w stanie wysokim	I_{IH}			80	μA	$U_{CC} = 5,25 \text{ V}$ $U_I = 2,4 \text{ V}$	E
				1	mA	$U_{CC} = 5,25 \text{ V}$ $U_I = 5,5 \text{ V}$	
Napięcie wyjściowe w stanie niskim	U_{OL}		0,2	0,4	V	$I_{OL} = 16 \text{ mA}$	A
Prąd wyjściowy w stanie niskim	I_{OL}			16	mA	$U_{OL} \leq 0,4 \text{ V}$	
Napięcie wyjściowe w stanie wysokim	U_{OH}	2,4		3,5	V	$I_{OH} = -0,8 \text{ mA}$	B
Prąd wyjściowy w stanie wysokim	I_{OH}			-800	μA	$U_{OH} \geq 2,4 \text{ V}$	
Zwarciovyy prąd wyjściowyy ²⁾	Σ		-18	-55	mA	$U_{CC} = 5,25 \text{ V}$	F
	C4	I_{OS}		-25			
Prąd zasilania	I_{CC}		58	80	mA	$U_{CC} = 5,25 \text{ V}$	G

¹⁾ Wartości typowe podane są przy $U_{CC} = 5 \text{ V}$, $t_{amb} = 25^\circ\text{C}$

²⁾ Jednocześnie może być zwarte nie więcej niż jedno wyjście

Parametry dynamiczne przy $U_{CC} = 5 \text{ V}$, $t_{amb} = 25^\circ\text{C}$

Parametry	Od wejścia	Do wyjścia	Wartość			Jednostki	Warunki pomiaru	Układ pomiarowy
			min	typ	max			
t_{PHL}	C0	$\Sigma 1$	16	35		ns	$C_L = 15 \text{ pF}$ $R_L = 400 \Omega$	H
t_{PLH}			23	35				
t_{PHL}	C0	$\Sigma 2$	16	35				
t_{PLH}			24	35				
t_{PHL}	C0	$\Sigma 3$	26	40				
t_{PLH}			30	50				
t_{PHL}	C0	$\Sigma 4$	30	50				
t_{PLH}			35	50				
t_{PHL}	C0	C4	15	25				
t_{PLH}			20	30				
t_{PHL}	A1	$\Sigma 1$	17	30				
t_{PLH}			23	35				
t_{PHL}	B2	$\Sigma 2$	17	30				
t_{PLH}			23	35				
t_{PHL}	A3	$\Sigma 3$	17	30				
t_{PLH}			23	35				
t_{PHL}	B4	$\Sigma 4$	17	30				
t_{PLH}			23	35				

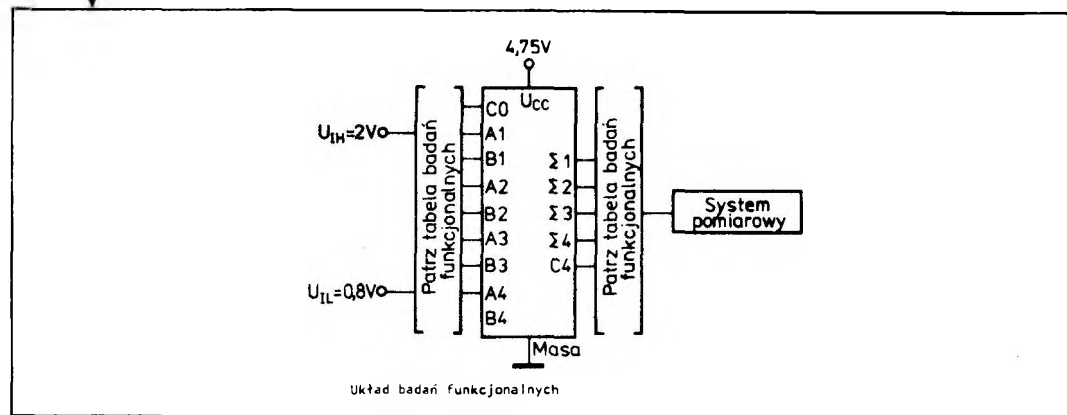
t_{PHL} czas propagacji sygnału do stanu niskiego na wyjściu
 t_{PLH} czas propagacji sygnału do stanu wysokiego na wyjściu

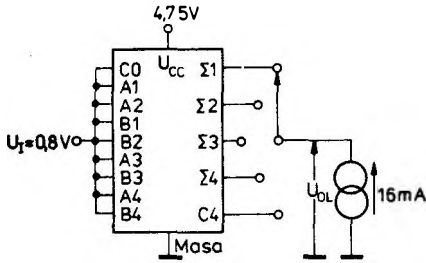
Badania funkcjonalne

Tabela badań funkcjonalnych

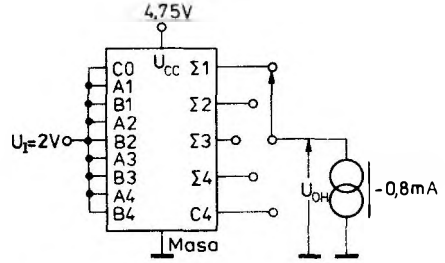
Wejścia									Wyjścia					Uwagi
C0	A1	B1	A2	B2	A3	B3	A4	B4	Σ1	Σ2	Σ3	Σ4	C4	
L	L	L	L	L	L	L	L	L	L	L	L	L	L	Sprawdzenie pierwszego stopnia sumatora
L	L	L	L	L	L	L	L	L	L	L	L	L	L	
L	H	H	L	L	L	L	L	L	L	H	H	L	L	
L	H	H	L	L	L	L	L	L	L	H	H	L	L	
H	H	L	L	L	L	L	L	L	L	H	H	L	L	
H	H	L	L	L	L	L	L	L	L	H	H	L	L	
H	L	L	L	L	L	L	L	L	L	H	L	L	L	
H	L	L	L	L	L	L	L	L	L	H	L	L	L	
L	L	L	L	H	L	L	L	L	L	H	L	L	L	Sprawdzenie drugiego stopnia sumatora
L	L	L	H	L	L	L	L	L	L	H	L	L	L	
L	L	L	H	L	L	L	L	L	L	H	L	L	L	
L	L	L	H	L	L	L	L	L	L	H	L	L	L	
L	L	L	L	L	L	H	L	L	L	L	H	L	L	Sprawdzenie trzeciego stopnia sumatora
L	L	L	L	L	L	H	L	L	L	L	H	L	L	
L	L	L	L	L	L	H	L	L	L	L	H	L	L	
L	L	L	L	L	L	H	L	L	L	L	H	L	L	
L	L	L	L	L	L	L	L	H	L	L	L	H	L	Sprawdzenie czwartego stopnia sumatora
L	L	L	L	L	L	L	L	H	L	L	L	H	L	
L	L	L	L	L	L	L	L	H	L	L	L	H	L	
L	L	L	L	L	L	L	L	H	L	L	L	H	L	
L	H	L	H	L	H	L	H	L	H	L	H	L	L	Sprawdzenie obwodów przeniesień
L	H	L	H	L	H	L	H	L	H	L	H	L	L	
H	L	H	L	H	L	H	L	H	L	H	L	L	L	
H	L	H	L	H	L	H	L	H	L	H	L	L	L	

Oznaczenia: H — stan wysoki, L — stan niski

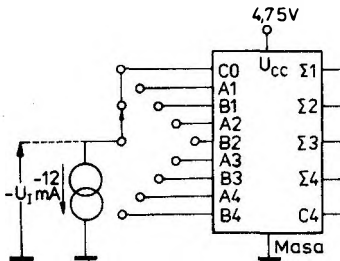




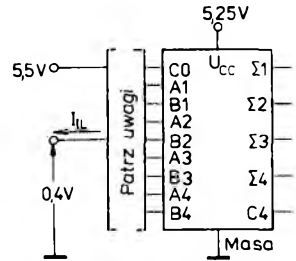
Układ pomiarowy A. Pomiar U_{OL}



Układ pomiarowy B. Pomiar U_{OH}

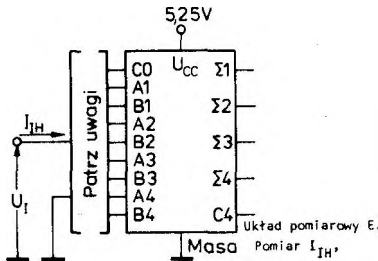


Układ pomiarowy C. Pomiar $-U_I$

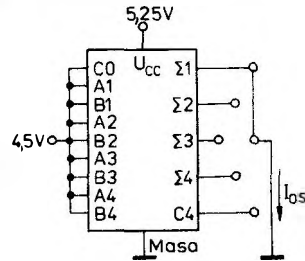


- Uwagi: 1. Każde wejście jest badane oddzielnie.
2. Przyłożyć $U_I = 0,4\text{ V}$ na wejście badane.
3. Na pozostałych wejściach przyłożyć $U_I = 5,5\text{ V}$

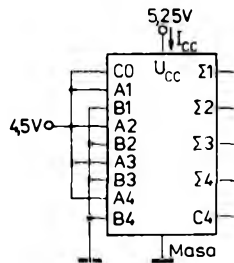
Układ pomiarowy D. Pomiar I_{IL}



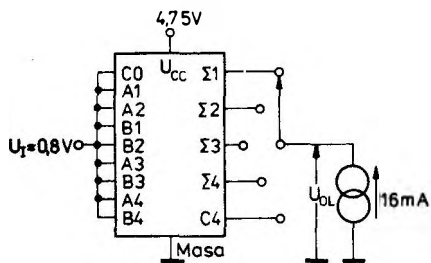
- Uwagi: Każde wejście badane oddzielnie.
Przy pomiarach I_{IH} przyłożyć a) $U_I = 2,4\text{ V}$ b) $U_I = 5,5\text{ V}$ do wejścia badanego. Pozostałe wejścia dotaczyć do masy.



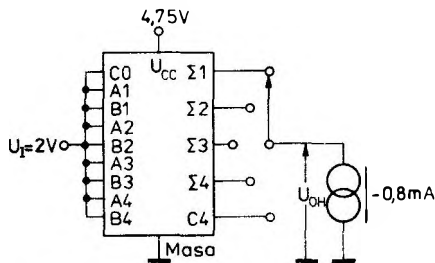
Układ pomiarowy F. Pomiar I_{O5}



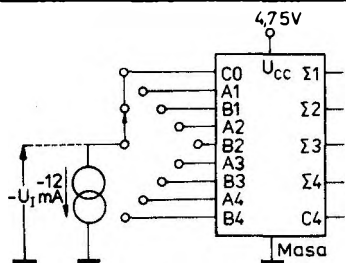
Układ pomiarowy G. Pomiar I_{cc}



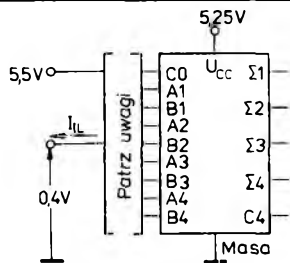
Układ pomiarowy A. Pomiar U_{OL}



Układ pomiarowy B. Pomiar U_{OH}

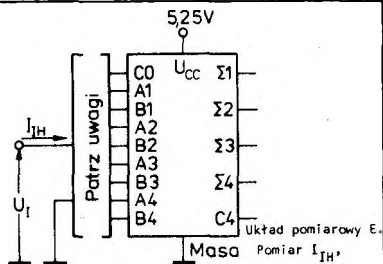


Układ pomiarowy C. Pomiar $-U_I$



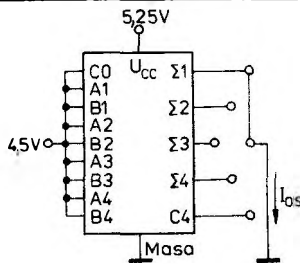
Uwagi: 1. Każde wejście jest badane oddzielnie.
2. Przytożyc $U_I = 0,4\text{ V}$ na wejście badane.
3. Na pozostałych wejściach przytożyc $U_I = 5,5\text{ V}$

Układ pomiarowy D. Pomiar I_{IL}

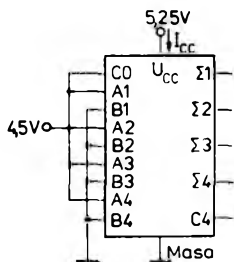


Układ pomiarowy E. Pomiar I_{IH}

Uwagi: Każde wejście badane oddzielnie.
Przy pomiarach I_{IH} przytożyc a) $U_I = 2,4\text{ V}$ b) $U_I = 5,5\text{ V}$ do wejścia badanego. Pozostałe wejścia dotaczyć do masy.



Układ pomiarowy F. Pomiar I_{OS}



Układ pomiarowy G. Pomiar I_{CC}

Pomiary parametrów dynamicznych

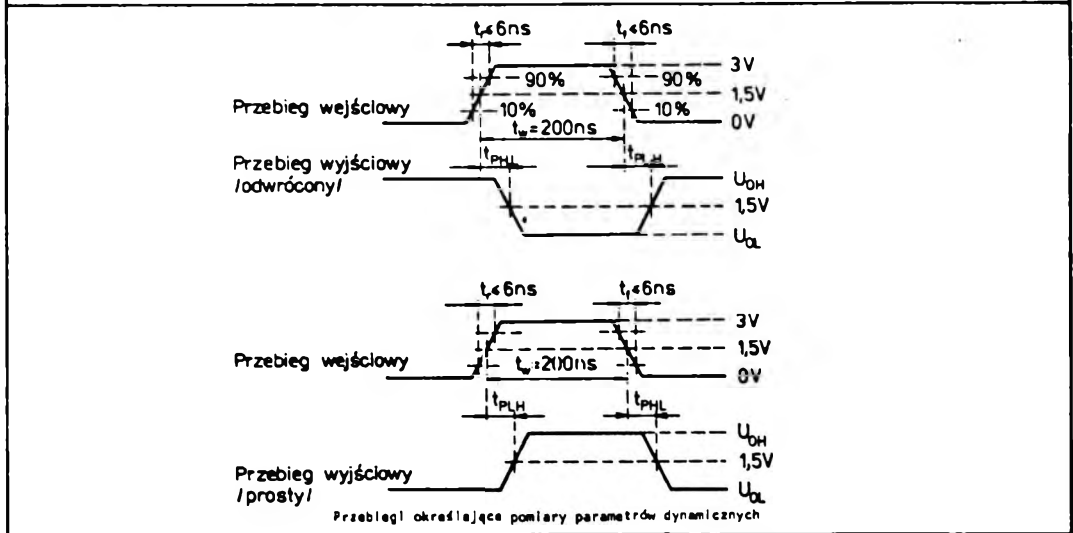
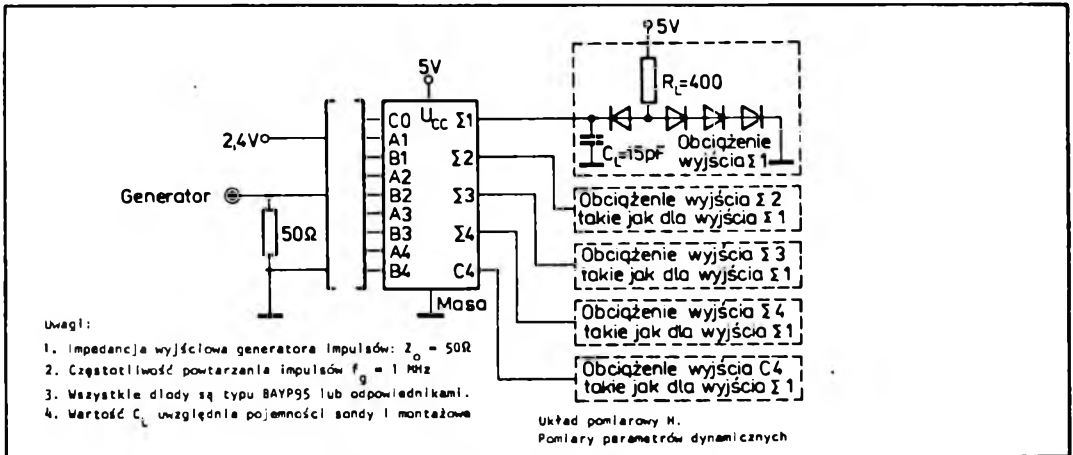


Tabela badań dynamicznych

Przyłożyć na wejście									Wyjście badane	Przebieg wyjściowy
CO	A1	A2	A3	A4	B1	B2	B3	B4		
	2,4V	0V	2,4V	0V	0V	2,4V	0V	2,4V	Σ1	Inwersyjny
	2,4V	0V	2,4V	0V	0V	2,4V	0V	2,4V	Σ2	Inwersyjny
	2,4V	0V	2,4V	0V	0V	2,4V	0V	2,4V	Σ3	Inwersyjny
	2,4V	0V	2,4V	0V	0V	2,4V	0V	2,4V	Σ4	Inwersyjny
	2,4V	0V	2,4V	0V	0V	2,4V	0V	2,4V	C4	Prosty
2,4V		0V	2,4V	0V	0V	2,4V	0V	2,4V	Σ1	Inwersyjny
2,4V	2,4V	0V	2,4V	0V	0V		0V	2,4V	Σ2	Inwersyjny
2,4V	2,4V	0V		0V	0V	2,4V	0V	2,4V	Σ3	Inwersyjny
2,4V	2,4V	0V	2,4V	0V	0V	2,4V	0V		Σ4	Inwersyjny

3.4.2. Przykłady zastosowań sumatorów 64/7483

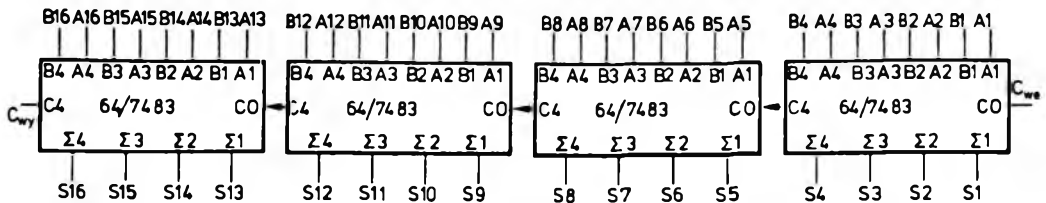
Sumatory czterobitowe 64/7483 można łączyć w zespoły wielobitowe, przy czym przeniesienia między jednostkami czterobitowymi mogą być szeregowo lub równoległe (jednoczesne).

Przykład sumatora 16-bitowego z przeniesieniami szeregowymi przedstawiono na rys. 3.93. Rozwiązanie takie nie wymaga żadnych dodatkowych elementów logicznych. W tym układzie czas wykonania operacji dodawania wzrasta o wartość czasu propagacji przeniesień każdego dodatkowego sumatora, czyli o około 40 ns na każde 4 bity. Pewną poprawę szybkości wykonywanych operacji można uzyskać w układzie

wejściowych bramek WYŁĄCZNIE-LUB zawartych w układzie 64/7486 możliwe jest wprowadzenie do sumatora liczby B bez żadnej zmiany w czasie dodawania ($K = 0$) lub z wszystkimi bitami zanegowanymi i dodaniem 1 z wejścia przeniesienia podczas odejmowania ($K = 1$). Otrzymana różnica jest również w zapisie uzupełnień do 2.

Sumatory dziesiętne

W wielu urządzeniach korzystne jest wykonywanie operacji arytmetycznych bezpośrednio na liczbach



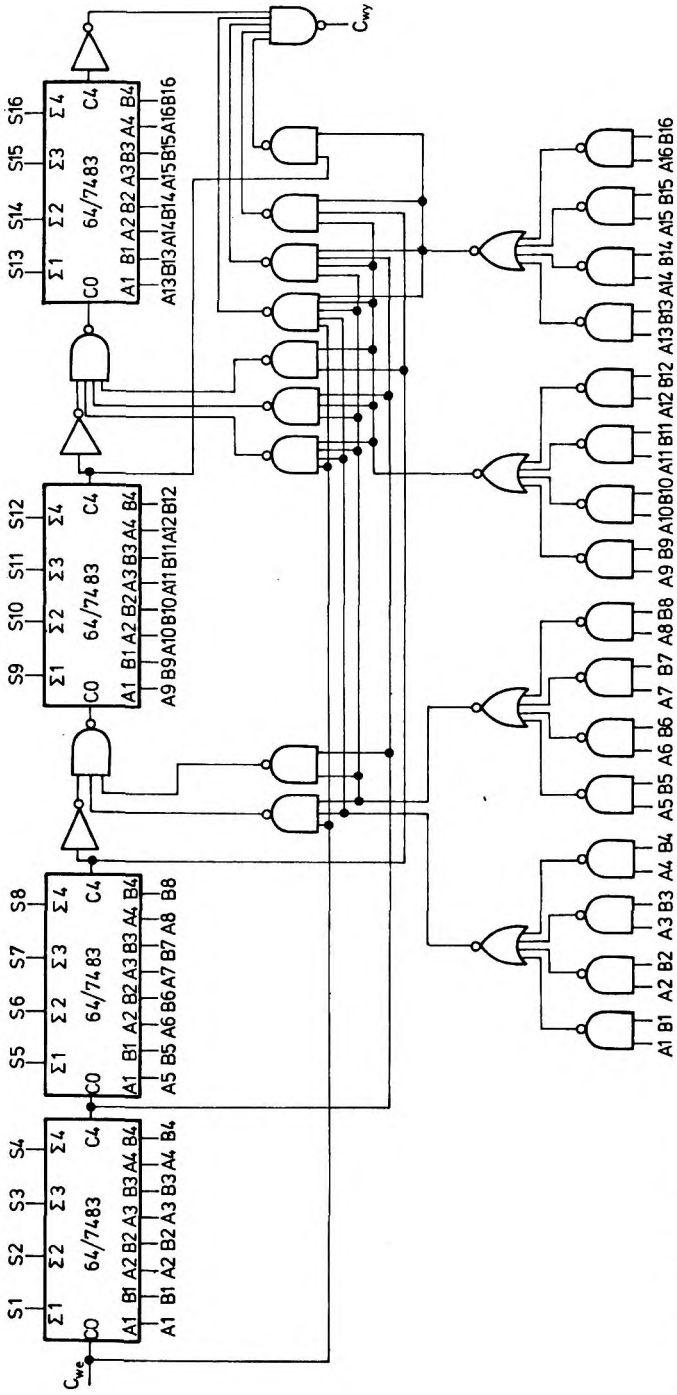
Rys. 3.93. Schemat logiczny sumatora 16-bitowego z przeniesieniami szeregowymi

z przeniesieniami równoległymi między sumatorami czterobitowymi. Przykład sumatora 16-bitowego z realizacją przeniesień równoległych (jednoczesnych) widać na rys. 3.94. W układzie tym, aby uzyskać znaczne skrócenie czasu propagacji przeniesień, należy stosować bramki dodatkowe serii szybkiej 64/74H... W układach sumatorów 16-bitowych i większych rozwiązaniem korzystniejszym ze względu na szybkość wykonywania operacji arytmetycznych jest zastosowanie scalonych jednostek arytmetyczno-logicznych 64/74181 i generatorów przeniesień jednoczesnych 54/74182 opisanych w p. 3.4.5.

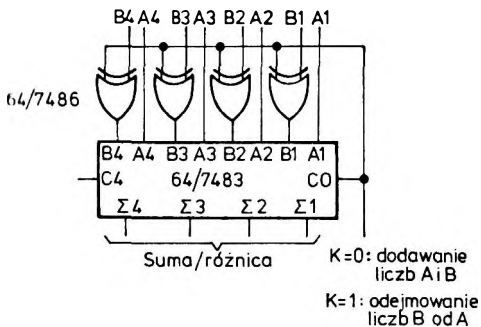
Układy wykonujące operacje odejmowania

Sumatory umożliwiają również wykonywanie operacji odejmowania. Aby wykonać operację A minus B należy dodać do liczby A liczbę $(-B)$ w jednym z trzech zapisów. Najprostszy układ otrzymuje się przedstawiając liczbę ujemną w zapisie uzupełnień do 2 (rys. 3.95). Dzięki zastosowaniu czterech dwu-

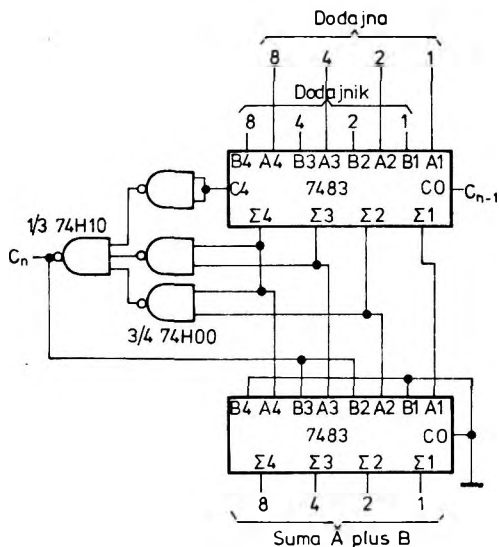
dziesiętnych. Powszechnie stosowanym kodem dziesiętnym jest czterobitowy kod BCD 8421. Przy dodawaniu dwu jednocyfrowych liczb dziesiętnych w kodzie BCD otrzymana suma może się zawierać w zakresie $0 \div 19$ ($9 + 9 + 1$ z przeniesienia), a ponieważ kod ten obejmuje tylko liczby od 0 do 9, więc istnieje konieczność korekcji w celu ustalenia właściwej cyfry na tej pozycji i generacji przeniesienia. Korekcja polega na odjęciu liczby dziesięć (10_{10}) od sumy (jeżeli jest ona większa lub równa dziesięć) z jednoczesną generacją przeniesienia. Odjęcie liczby 10_{10} może być realizowane przez dodanie uzupełnienia dwójkowego tej liczby przedstawionej w kodzie BCD (1010_2), które jest równe 0110_2 , czyli liczbie dziesiętej 6. Układ sumatora dziesiętnego pokazano na rys. 3.96. Pierwszy sumator dodaje dwie liczby dwójkowe. Jeżeli wynik tego sumowania jest równy lub większy niż dziesięć, to taki stan jest wykryty przez układ bramek I-NIE, wprowadzający korekcję do drugiego sumatora i generuje przeniesienie do wyższej pozycji. Aby otrzymać sumator wielodekodowy takie sumatory można łączyć szeregowo i wejście przeniesienia $C_n - 1$ w najniższej dekadzie należy dołączyć do masy.



Rys. 3.94. Schemat logiczny sumatora 16-bitowego z przeniesieniami równoległymi (jednoczesnymi)



Rys. 3.95. Układ wykonujący operacje dodawania lub odejmowania

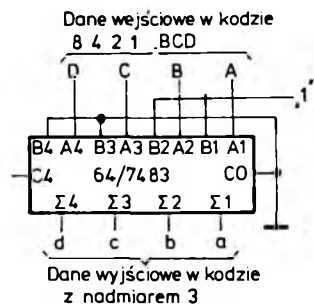


Rys. 3.96. Schemat logiczny sumatora dziesiętnego

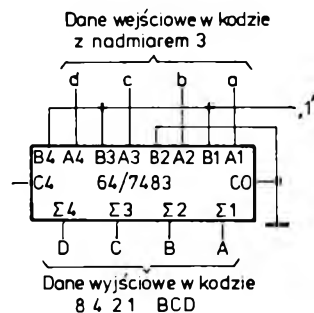
Zamiana postaci kodu BCD na postać z nadmiarem 3 i odwrotnie

Sumatory 64/7483 mogą być stosowane do zamiany postaci informacji z kodu BCD na kod z nadmiarem 3 i odwrotnie. Konwersja postaci BCD na postać

z nadmiarem 3 jest realizowana metodą dodawania liczby 3 w układzie przedstawionym na rys. 3.97. Odwrotną zamianę postaci uzyskuje się dodając uzupełnienie liczby 3 (1101) do 2 w układzie przedstawionym na rys. 3.98.



Rys. 3.97. Układ zamiany kodu 8421 BCD na kod z nadmiarem 3



Rys. 3.98. Układ zamiany kodu z nadmiarem 3 na kod 8421 BCD