

3.2.1. Dekodery

Dekoder jest układem kombinacyjnym przekształcającym informację określoną w wejściowym kodzie dwójkowym na kod 1 z n lub na postać łatwą do zobrazowania. Głównie są to dekodery kodu BCD

na kod 1 z 10 lub na kod wskaźnika siedmiosegmentowego oraz dekodery naturalnego kodu dwójkowego o długości logicznej N na kod 1 z n (gdzie $n = 2^M$)

3.2.1.1. Dekodery kodu BCD z wyjściami przeciwsobnymi: UCA6442N, UCY7442N

Monolityczny układ scalony UCA6442N lub UCY7442N jest dekoderek kodu BCD na kod dziesiętny (1 z 10) złożonym z ośmiu inwerterów i dziesięciu czterowejsiowych bramek I-NIE. Inwertery spełniają rolę wejściowych stopni buforowych odtwarzających wartości proste i inwersyjne sygnałów wejściowych. Przetwarzanie informacji z kodu BCD na kod dziesiętny odbywa się w układzie dziesięciu czterowejsiowych bramek I-NIE. Dla sygnałów

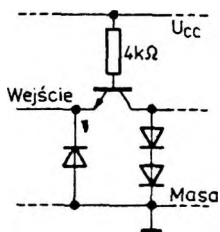
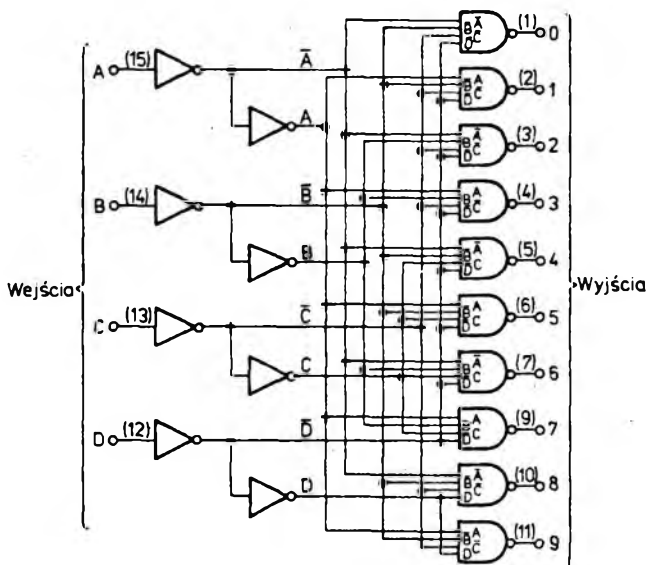
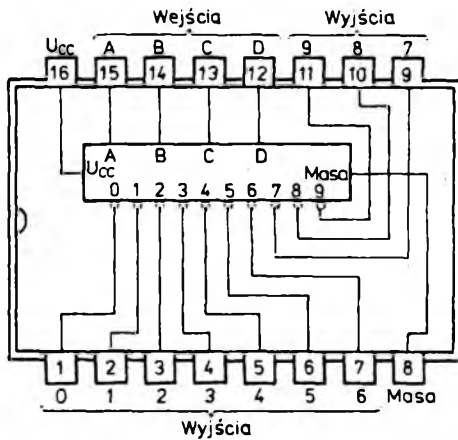
wejściowych odpowiadających stanom zabronionym w kodzie BCD wszystkie wyjścia dekodera znajdują się w stanie wysokim. Działanie logiczne dekodera 64/7442N określa tabela stanów. Typowa wartość mocy rozpraszanej przez układ UCA6442N lub UCY7442N wynosi 140 mW.

Układy UCA6442N i UCY7442N są produkowane w obudowach A49C(CE71).

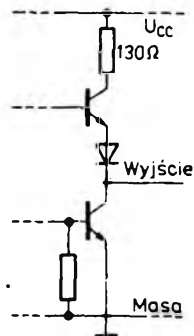
Tabela stanów

	Wejścia				Wyjścia									
	D	C	B	A	0	1	2	3	4	5	6	7	8	9
0	L	L	L	L	L	H	H	H	H	H	H	H	H	H
1	L	L	L	H	H	L	H	H	H	H	H	H	H	H
2	L	L	H	L	H	H	L	H	H	H	H	H	H	H
3	L	L	H	H	H	H	H	L	H	H	H	H	H	H
4	L	H	L	L	H	H	H	H	L	H	H	H	H	H
5	L	H	L	H	H	H	H	H	H	L	H	H	H	H
6	L	H	H	L	H	H	H	H	H	H	L	H	H	H
7	L	H	H	H	H	H	H	H	H	H	H	L	H	H
8	H	L	L	L	H	H	H	H	H	H	H	H	L	H
9	H	L	L	H	H	H	H	H	H	H	H	H	H	L
Stany niedozwolone	H	L	H	L	H	H	H	H	H	H	H	H	H	H
	H	L	H	H	H	H	H	H	H	H	H	H	H	H
	H	H	L	L	H	H	H	H	H	H	H	H	H	H
	H	H	L	H	H	H	H	H	H	H	H	H	H	H
	H	H	H	L	H	H	H	H	H	H	H	H	H	H

Oznaczenia: H = stan wysoki, L = stan niski



Uproszczony schemat obwodu każdego wejścia



Typowy schemat obwodu każdego wyjścia

Wartości dopuszczalne parametrów

Parametry		Wartość		Jednostki
Nazwa	Symbol	min	max	
Napięcie zasilania	U_{CC}		7	V
Napięcie wejściowe	U_I		5,5	V
Ujemny prąd wejściowy	$-I_I$		12	mA
Zakres temperatury przechowywania	t_{stg}	-55	125	°C

Zalecane warunki pracy

Parametry		Wartość			Jednostki
Nazwa	Symbol	min	nom	max	
Napięcie zasilania	U_{CC}	4,75	5,0	5,25	V
Obciążalność każdego wyjścia w stanie:	niskim	N_L	10		s.o.l.
	wysokim	N_H	20		
Obciążenie wnoszone przez wejścia		1			
Zakres temperatury otoczenia	UCA6442N	t_{amb}	-40	85	°C
	UCY7442N		0	70	

Parametry dynamiczne przy $U_{CC} = 5\text{ V}$, $t_{amb} = 25^\circ\text{C}$

Parametry		Wartość		Jednostki	Warunki pomiaru	Układ pomiarowy
Nazwa	Symbol	min	typ max			
Czas propagacji sygnału do stanu niskiego na wyjściu od wejść przez dwa poziomy logiczne	t_{PHL}	10	22 30	ns	$R_L = 400\ \Omega$ $C_L = 15\ \text{pF}$	E
Czas propagacji sygnału do stanu niskiego na wyjściu od wejść przez trzy poziomy logiczne		23 35				
Czas propagacji sygnału do stanu wysokiego na wyjściu od wejść przez dwa poziomy logiczne	t_{PLH}	10	17 25			
Czas propagacji sygnału do stanu wysokiego na wyjściu od wejść przez trzy poziomy logiczne		26 35				

Parametry statyczne

(Jeżeli nie podano inaczej — w pełnym zakresie temperatury otoczenia)

Parametry		Wartość		Jednostki	Warunki pomiaru	Układ pomiarowy
Nazwa	Sym-bol	min	typ ¹⁾ max			
Napięcie wejściowe w stanie niskim	U_{IL}		0,8	V		
Napięcie wejściowe w stanie wysokim	U_{IH}	2		V		
Ujemne napięcie wejściowe	$-U_I$		1,5	V	$U_{CC} = 4,75 \text{ V}$ $I_I = -12 \text{ mA}$ $t_{amb} = 25^\circ\text{C}$	D
Prąd wejściowy w stanie niskim	I_{IL}		-1,6	mA	$U_{CC} = 5,25 \text{ V}$ $U_I = 0,4 \text{ V}$	B
Prąd wejściowy w stanie wysokim	I_{IH}		40	μA	$U_{CC} = 5,25 \text{ V}$; $U_I = 2,4 \text{ V}$	B
			1	mA	$U_{CC} = 5,25 \text{ V}$; $U_I = 5,5 \text{ V}$	
Napięcie wyjściowe w stanie niskim	U_{OL}	0,2	0,4	V	$I_{OL} = 16 \text{ m}$	A
Prąd wyjściowy w stanie niskim	I_{OL}		16	mA	$U_{OL} \leq 0,4 \text{ V}$	
Napięcie wyjściowe w stanie wysokim	U_{OH}	2,4	3,4	V	$I_{OH} = -0,8 \text{ mA}$	A
Prąd wyjściowy w stanie wysokim	I_{OH}		-800	μA	$U_{OH} \geq 2,4 \text{ V}$	
Zwarciovyy prąd wyjściowy ²⁾	I_{OS}	-18	-55	mA	$U_{CC} = 5,25 \text{ V}$	C
Prąd zasilania	I_{CC}	28	56	mA	$U_{CC} = 5,25 \text{ V}$	B

¹⁾ Wartości typowe podane są przy $U_{CC} = 5 \text{ V}$, $t_{amb} = 25^\circ\text{C}$

²⁾ Jednocześnie może być zwarte nie więcej niż jedno wyjście

Układy pomiarowe

Pomiary parametrów statycznych

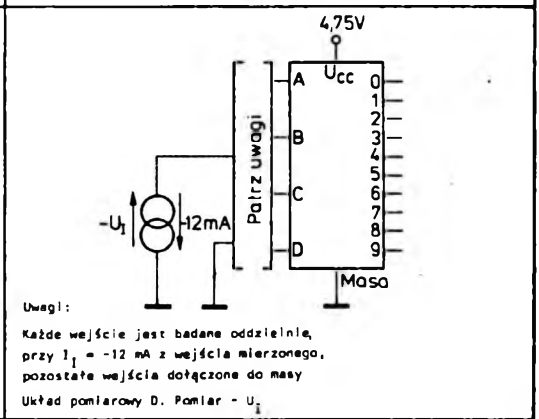
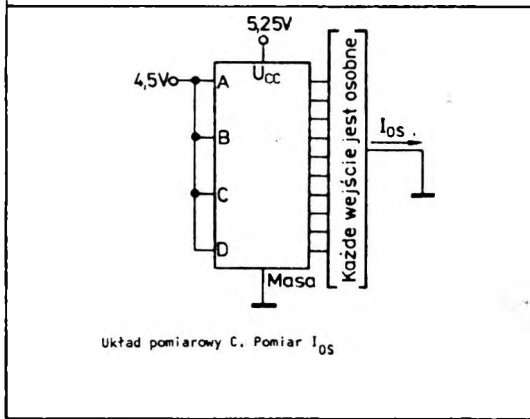
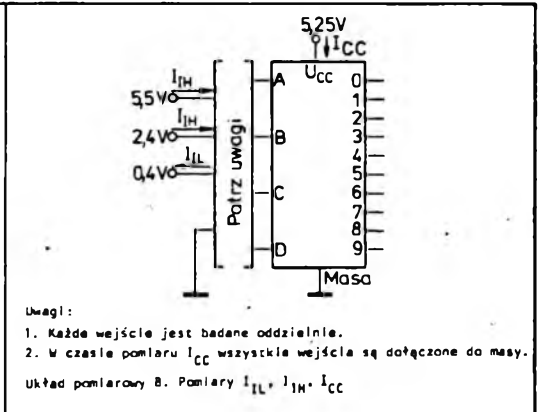
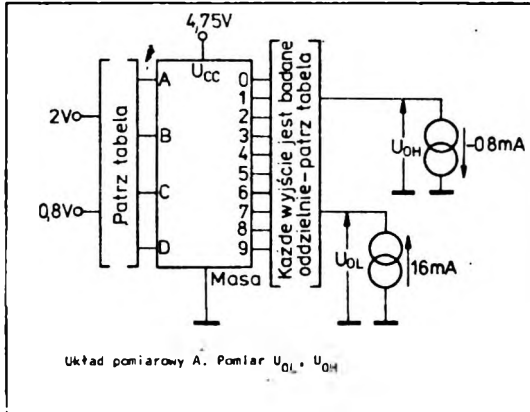
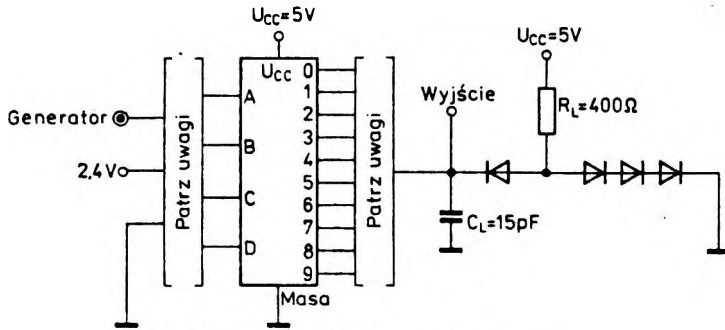


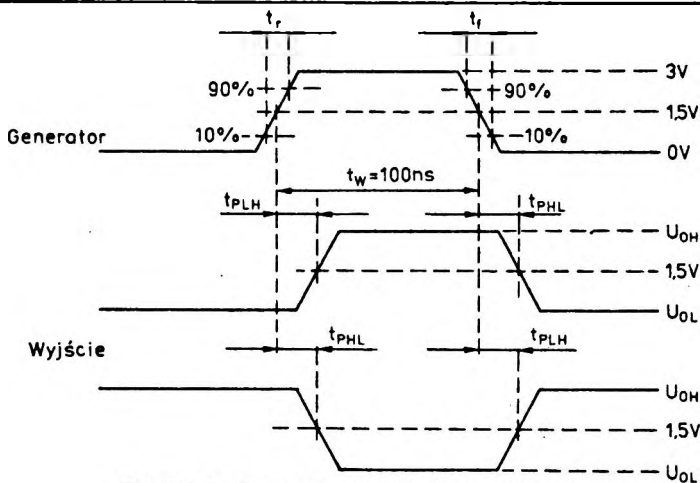
Tabela określająca warunki pomiaru U_{OL} i U_{OH}

Napięcie na wejściach		Wyjścia badane	
$U_i = 0,8 \text{ V}$	$U_i = 2 \text{ V}$	U_{OL}	U_{OH}
A, B, C, D	A	0	1, 2, 4, 8
B, C, D	B	1	0, 3, 5, 9
A, C, D	C	2	0, 3, 6
C, D	A, B	3	1, 2, 7
A, B, D	C	4	0, 5, 6
B, D	A, C	5	1, 4, 7
A, D	B, C	6	2, 4, 7
D	A, B, C	7	3, 5, 6
A, B, C	D	8	0, 9
B, C	A, D	9	1, 8
A, C	B, D		2, 8
C	A, B, D		3, 9
A, B	C, D		4, 8
B	A, C, D		5, 9
A	B, C, D		6
	A, B, C, D		7

Pomiary parametrów dynamicznych



Układ pomiarowy E. Pomiar parametrów dynamicznych



Przebiegi określające pomiary parametrów dynamicznych

Uwagi: Każde wyjście jest badane oddzielnie.

Wyjście badane jest określone przez poziomy logiczne wejść, zgodnie z tabelą stanów. Częstotliwość generatora $f = 1$ MHz.

Wartość C_L uwzględnia pojemność sondy i pojemność montażu.

Wszystkie diody są typu BAYP95 lub ich odpowiednikami.

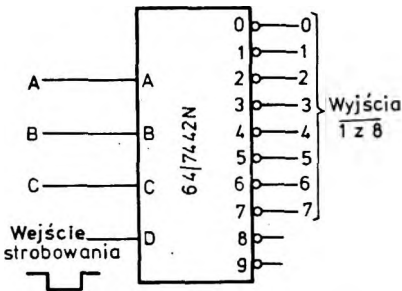
3.2.1.2. Typowe zastosowania dekodery 64/7442N

Monolityczny układ scalony 64/7442N jest przeznaczony do dekodowania stanów kodu BCD 8421 na kod 1 z 10. Dla sześciu nieważnych stanów kodu wejściowego (10÷15) wszystkie wyjścia dekodera pozostają w stanie wyłączonym (wysokim).

Poza podstawowym przeznaczeniem dekodery ten może spełniać wiele innych funkcji. Na rysunku 3.44 przedstawiono schemat układu 64/7442N pełniącego funkcję dekodera trzybitowego kodu dwójkowego na kod 1 z 8 lub demultipleksera z jednego wejścia na jedno z ośmiu wyjść (0 ... 7).

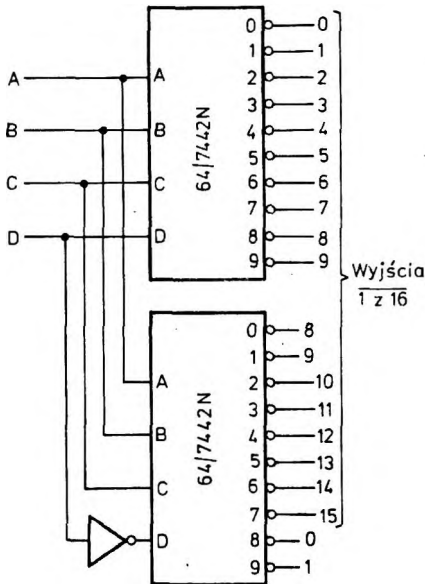
W czasie dekodowania trzybitowego kodu dwójkowego na wejściu *D* musi być stan logiczny 0. Jeżeli układ pracuje jako demultipleks, to informacja w postaci szeregowej jest wprowadzana na wejście *D*, natomiast stany wejść *A*, *B* i *C* określają na które wyjście jest aktualnie przesyłana informacja. W układzie tym wyjścia 8 i 9 pozostają niewykorzystane.

Dekodery 64/744N mogą być również wykorzystane do konwersji naturalnego czterobitowego kodu dwójkowego na kod 1 z 16. Schemat połączeń dekodera czterobitowego kodu dwójkowego widać na rys. 3.45.



Rys. 3.44. Schemat logiczny dekodera trzybitowego kodu dwójkowego na kod 1 z 8 z wejściem strobowania

Wyjścia od 0 do 9 są reprezentowane na odpowiednich wyjściach pierwszego dekodera. Dzięki wprowadzeniu inwersji na wejściu *D* drugiego dekodera stany wyjść od 0 do 7 tego dekodera reprezentują wyjścia od 8 do 15 dekodera kodu czterobitowego. Stany wyjść 0, 1, 8 i 9 są dostępne na wyjściach obu dekodów.



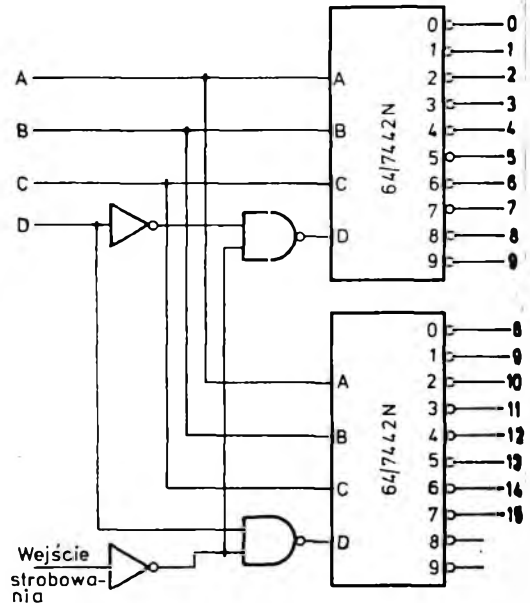
Rys. 3.45. Schemat logiczny dekodera czterobitowego kodu dwójkowego na kod 1 z 16

W układzie przedstawionym na rys. 3.46 realizowana jest funkcja demultipleksera szesnastowyjściowego. Jeżeli na wejściu strobowania wystąpi stan niski (0), to układ będzie działał jak dekodер czterobitowego kodu dwójkowego na kod 1 z 16. Na wybranym stanie wejść *A*, *B*, *C* i *D* wyjściu wystąpi stan niski na pozostałych wyjściach będzie stan wysoki. Jeżeli natomiast na wejściu strobowania wystąpi stan wysoki (1), to na wszystkich wyjściach od 0 do 15, a więc również na wyjściu wybranym wystąpi stan wysoki.

W systemie multipleksowego przesyłania informacji na wejście strobowania podawane są dane w postaci szeregowej, a stany wejść *A*, *B*, *C* i *D* określają adres przesyłanej aktualnie informacji.

Jeżeli liczba bitów kodu wejściowego jest większa od liczby wejść dostępnych dekodерów scalonych, to do dekodowania stanów tego kodu można zbudować dekodер wielopoziomowy.

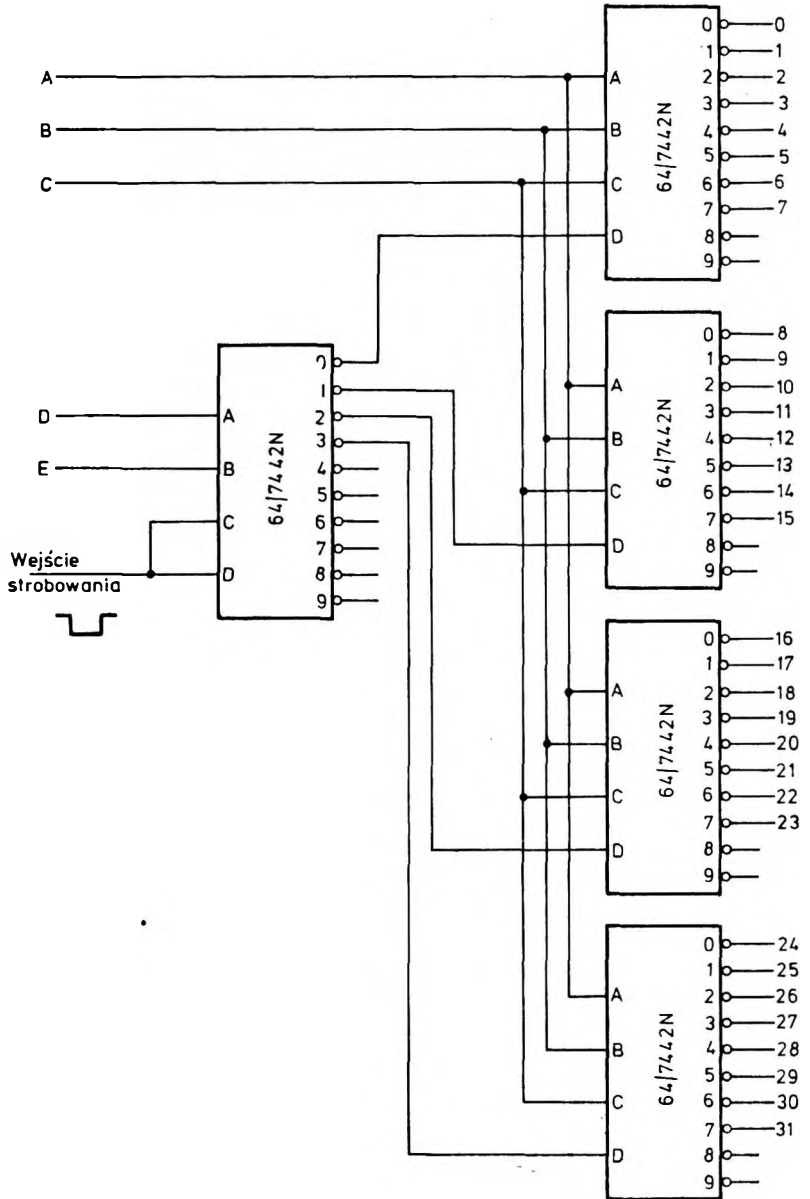
Na rysunku 3.47 przedstawiono zastosowanie układów 64/7442N do realizacji dekodera naturalnego pięciobitowego kodu dwójkowego na kod 1 z 32. Stany pierwszego dekodera określają pozycję wyjść ósemkowych ($0 \div 7$) dekodерów drugiego poziomu, których wejścia *A*, *B* i *C* są połączone równolegle,



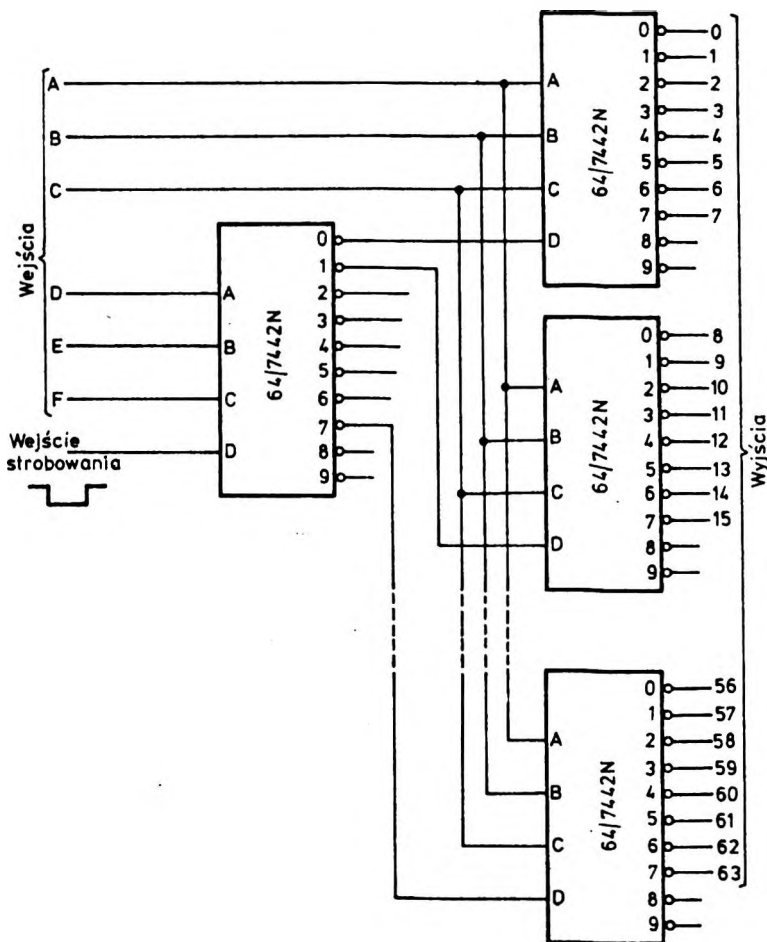
Rys. 3.46. Schemat logiczny demultipleksera szesnastowyjściowego

Układ ten łatwo można przystosować do dekodowania pięciobitowego kodu dwójkowego na kod 1 z 64 przez włączenie wejścia C dekodera pierwszego poziomu oraz zastosowanie w drugim poziomie zamiast czterech ośmiu dekoderek 64/7442N (rys. 3.48).

Wejście D dekodera pierwszego poziomu może być wykorzystane jako wejście strobowane. Jeśli dane wprowadzimy w postaci szeregowej na wejście D, to układ będzie spełniał funkcję demultipleksera 64-wyjściowego.



Rys. 3.47
Schemat logiczny
dekodera naturalnego
pięciobitowego kodu
dwójkowego na kod 1
z 64 z wejściem
strobowania



Rys. 3.48
Schemat logiczny
dekodera naturalnego
sześciobitowego kodu
dwójkowego na kod 1
z 64 z wejściem
strobowania

3.2.1.3. Dekodery kodu BCD z wyjściami typu otwarty kolektor: UCA64145N, UCY74145N

Monolityczny układ scalony UCA64145N lub UCY74145N jest dekoderni kodu BCD na kod dziesiętny (1 z 10), zawierającym osiem inwerterów i dziesięć czterowejsciowych bramek I-NIE. Inwertyery odtwarzają wartości proste i inwersyjne sygnałów wejściowych. Czterowejsciowe bramki I-NIE przetwarzają informację w kodzie BCD, określonej wartościami prostymi i komplementarnymi, na informację w kodzie dziesiętnym. Dla sygnałów wejściowych odpowiadających stanom zabronionym w kodzie BCD wszystkie wyjścia dekodera znajdują się w stanie

wysokim. Działanie logiczne dekodera 64/74145N określa tabela stanów.

W stopniach wyjściowych dekodera zastosowano tranzystor z otwartym obwodem kolektora o specjalnych parametrach, zapewniający maksymalny prąd wyjściowy $I_{OL} = 80 \text{ mA}$ oraz maksymalne napięcie wyjściowe $U_o = 15 \text{ V}$.

Typowa wartość mocy rozpraszanej przez układ UCA64145N lub UCY74145N wynosi 215 mW.

Układy UCA64145N i UCY74145N są produkowane w obudowach A49C(CE71).