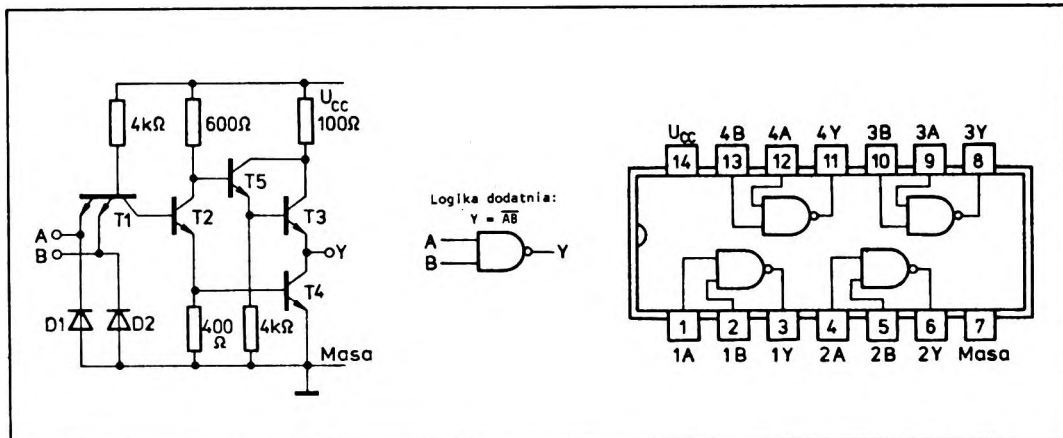
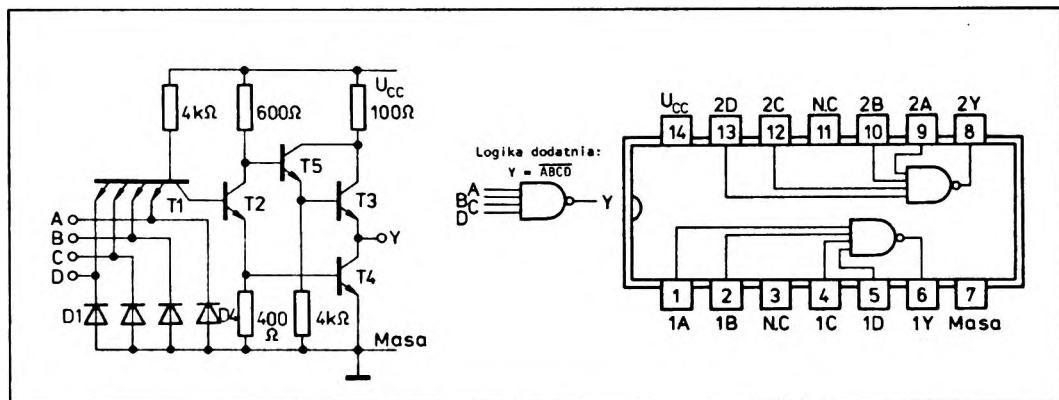


2.1.1.5. Buforowe bramki I-NIE z wyjściem przeciwsobnym

Czterokrotne dwuwejściowe buforowe bramki I-NIE: UCA6437N, UCY7437N



Dwukrotne czterowejściowe buforowe bramki I-NIE: UCA6440N, UCY7440N



Bramki przystosowane do sterowania obciążen większych niż 10 standardowych obciążen logicznych określa się jako bramki buforowe. Monolityczny

układ scalony UCA6437N lub UCY7437N zawiera cztery dwuwejściowe buforowe bramki I-NIE, natomiast układ scalony UCA6440N lub UCY7440N za-

wiera dwie czterowejściowe buforowe bramki I-NIE. Obciążalność tych bramek w stanie niskim $N_L = 30$, a w stanie wysokim $N_H = 45$.

Bramki buforowe w odróżnieniu od bramek podstawowych, w stopniu wyjściowym mają układ Darlingtona (tranzystory $T3$ i $T5$) oraz rezystory o zmniejszonej rezystancji. W wyniku tych zmian uzyskano mniejszą rezystancję wyjściową bramki oraz uzyskano

zdolność do sterowania większych obciążeń przy zachowaniu krótkiego czasu propagacji sygnału.

Bramki buforowe są bardzo przydatne do sterowania obciążen o stosunkowo dużej składowej pojemnościowej, umożliwiając osiągnięcie mniejszych opóźnień propagacji sygnału niż przy stosowaniu bramek podstawowych. Układy UCA6437N, UCY7437N, UCA6440N i UCY7440N są produkowane w obudowach plastikowych A49B(CE70).

Wartości dopuszczalne parametrów

Parametry		Wartość		Jednostki
Nazwa	Symbol	min	max	
Napięcie zasilania	U_{CC}		7	V
Napięcie wejściowe	U_I		5,5	V
Ujemny prąd wejściowy	$-I_I$		12	mA
Zakres temperatury przechowywania	t_{stg}	-55	125	°C

Zalecane warunki pracy

Parametry		Wartość			Jednostki
Nazwa	Symbol	min	nom	max	
Napięcie zasilania	U_{CC}	4,75	5,0	5,25	V
Obciążalność	w stanie niskim			30	s.o.l.
	w stanie wysokim			45	
Obciążenie wnoszone przez wejście				1	
Zakres temperatury	UCA6437N UCA6440N	t_{amb}	-40	85	°C
	UCY7437N UCY7440N		0	70	

Parametry dynamiczne przy $U_{CC} = 5$ V, $t_{amb} = 25^\circ$ C

Parametry		Wartość		Jednostki	Warunki pomiaru	Układ pomiarowy
Nazwa	Symbol	typ	max			
Czas propagacji sygnału do stanu niskiego na wyjściu	t_{PHL}	8	15	ns	$R_L = 133$ $C_L = 15$ pF dla UCA6440N UCY7440N	I
Czas propagacji sygnału do stanu wysokiego na wyjściu	t_{PLH}	13	22	ns	$C_L = 45$ pF dla UCA6437N UCY7437N	

Parametry statyczne

(Jeżeli nie podano inaczej — w pełnym zakresie temperatury otoczenia)

Parametry		Wartość		Jedno- stki	Warunki pomiaru	Układ pomia- rowy	
Nazwa	Sym- bol	min	typ ¹⁾ max				
Napięcie wejściowe w stanie niskim	U_{IL}		0,8	V			
Napięcie wejściowe w stanie wysokim	U_{IH}	2		V			
Ujemne napięcie wejściowe	$-U_I$		1,5	V	$U_{CC} = 4,75 \text{ V}$ $I_I = -12 \text{ mA}$ $t_{amb} = 25^\circ\text{C}$	G	
Prąd wejściowy w stanie niskim	I_{IL}		-1,6	mA	$U_{CC} = 5,25 \text{ V}$ $U_I = 0,4 \text{ V}$	C	
Prąd wejściowy w stanie wysokim	I_{IH}		40	μA	$U_{CC} = 5,25 \text{ V}$; $U_I = 2,4 \text{ V}$	D	
			1	mA	$U_{CC} = 5,25 \text{ V}$ $U_I = 5,5 \text{ V}$		
Napięcie wyjściowe w stanie niskim	U_{OL}	0,2	0,4	V	$I_{OL} = 48 \text{ mA}$ $U_{CC} = 4,75 \text{ V}$	A	
Prąd wyjściowy w stanie niskim	I_{OL}		48	mA	$U_{OL} \leq 0,4 \text{ V}$ $U_I = 2 \text{ V}$		
Napięcie wyjściowe w stanie wysokim	U_{OH}	2,4	3,4	V	$I_{OH} = 1,8 \text{ mA}$ $U_{CC} = 4,75 \text{ V}$	B	
Prąd wyjściowy w stanie wysokim	I_{OH}		-1,8	mA	$U_{OH} \geq 2,4 \text{ V}$ $U_I = 0,8 \text{ V}$		
Zwarciovyy prąd wyjściowy ²⁾	I_{OS}	-18	-70	mA	$U_{CC} = 5,25 \text{ V}$ $U_I = 0 \text{ V}$	E	
Prąd zasilania w stanie niskim	UCA6437N UCY7437N	I_{CCL}	34	54	mA	$U_{CC} = 5,25 \text{ V}$ $U_I = 4,5 \text{ V}$	F
	UCA6440N UCY7440N		17	27			
Prąd zasilania w stanie wysokim	UCA6437N UCY7437N	I_{CCH}	9	16	mA	$U_{CC} = 5,25 \text{ V}$ $U_I = 0 \text{ V}$	
	UCA6440N UCY7440N		4	8			

¹⁾ Wartości typowe podane są przy $U_{CC} = 5 \text{ V}$, $t_{amb} = 25^\circ\text{C}$

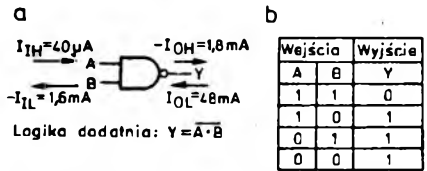
²⁾ Jednocześnie może być zwarte nie więcej niż jedno wyjście w czasie 1s.

2.1.1.6. Typowe zastosowania buforowych bramek I-NIE z wyjściem przeciwsobnym

Buforowe bramki I-NIE realizują funkcję negacji iloczynu zmiennych wejściowych $Y = \overline{A \cdot B}$. Ich obciążalność w stanie niskim $N_L = 30$ oraz w stanie wysokim $N_H = 45$.

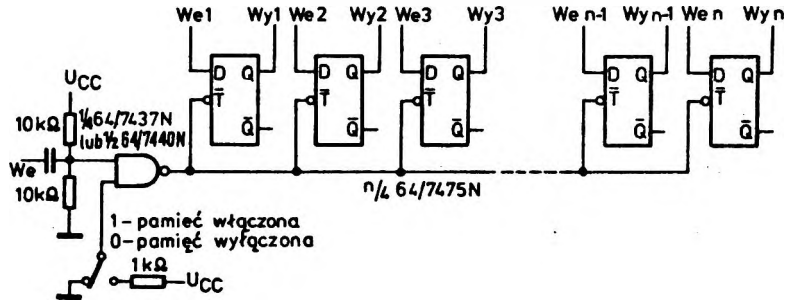
Na rysunku 2.27 oznaczono wartości prądów na wejściu i wyjściu bramki w obu stanach logicznych. Podstawowe zastosowanie bramek tego typu to sterowanie obwodów stanowiących obciążenie większe niż

16 mA w stanie niskim. Na rysunku 2.28 przedstawiono przykład sterowania układem pamięci złożonym z jednostek 4-bitowych 64/7475N. Układ taki znajduje zastosowanie w urządzeniach zliczających jako pamięć pośrednicząca między licznikiem a dekodrem. Dzięki zastosowaniu pamięci w czasie zliczania wyświetlany jest wynik poprzedniego pomiaru. Po zakończeniu każdego pomiaru wynik jest w bardzo

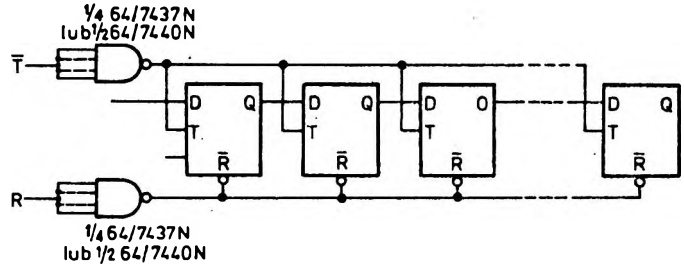


Rys. 2.27. Dwuwejściowa buforowa bramka I-NIE
a — symbol graficzny, b — tabela wartości

Rys. 2.28
Schemat obwodu sterowania pamięci 64/7475N



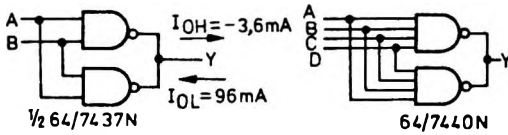
Rys. 2.29
Schemat obwodów sterowania wejść zegarowych i zerowania rejestrów



krótkim czasie przekazany do pamięci i wyświetlany. Dzięki zastosowaniu pamięci wyeliminowano miganie wskaźników w czasie liczenia oraz wydłużono efektywny czas odczytu. Wejście sterujące \bar{T} 4-bitowej jednostki pamięci 64/7475 N stanowi obciążenie równoważne wejściom czterech standardowych bramek. Jeżeli zastosujemy taką pamięć w liczniku 4-dekadowym, to wejście sterowania pamięcią stanowi obciążenie równoważne 16 wejściom standardowych bramek ($I_{IL} = 16 \cdot 1,6 \text{ mA} = 25,6 \text{ mA}$). W obwodach sterowania pamięci takiego licznika należy więc stosować bramki buforowe 64/7437N lub 64/7440N. W układzie przedstawionym na rys. 2.28 jedno wejście bramki buforowej jest sterowane z przełącznika określającego włączenie (1) lub wyłączenie (0) pamięci. W pozycji PAMIĘĆ WYŁĄCZONA na wyjściu bramki buforowej występuje poziom logiczny 1, przy którym stan z wejścia D pamięci jest bezpośrednio przekazywany na wyjście Q. W pozycji przełącznika PAMIĘĆ WŁĄCZONA na obu wejściach bramki

buforowej jest poziom logiczny 1 i odpowiadający temu stan niski (0) na wyjściu tej bramki. W tym stanie na wyjściach Q pamięci istnieje stan logiczny występujący na wejściach D przed ostatnią zmianą stanu na wejściu bramki buforowej. Nowy stan na wyjściach Q pamięci wystąpi gdy sygnał zamykający proces liczenia wywoła krótki impuls do stanu niskiego na drugim wejściu bramki buforowej powodując wystąpienie na jej wyjściu impulsu do stanu wysokiego i wprowadzenie do pamięci wyniku ostatniego procesu liczenia.

Użycie bramek buforowych jest konieczne w obwodach sterowania wejściami zegarowymi i zerowania rejestrów zbudowanych z przerzutników typu D lub JK (rys. 2.29). Wejścia: zegarowe i zerowania każdego przerzutnika zazwyczaj wnoszą obciążenie równoważne obciążeniu dwoma wejściami bramek podstawowych. W tej sytuacji jeżeli rejestr zawiera więcej niż pięć przerzutników, to do sterowania wejściami zegarowymi i zerowania takiego rejestru należy sto-



Rys. 2.30. Równoległe połączenie bramek w celu zwiększenia prądu obciążenia

sować bramki buforowe. Najczęściej w układach rejestrów typowych stosuje się rejestry scalone MSI, jednak istnieją specjalne układy rejestrowe, w których użycie przerzutników typu *D* lub *JK* jest rozwiązaniem bardziej ekonomicznym. Przykładem ta-

kiego rozwiązania jest rejestr aproksymacyjny, opisany w typowych zastosowaniach bramek I lub przerzutników. Stosowanie bramek buforowych jest również konieczne w obwodach sterowania układów rejestrowych zawierających kilka lub kilkanaście rejestrów scalonych MSI. Jeżeli sterowany obwód przedstawia obciążenie większe niż wejście 30 standardowych bramek, to można stosować bramki buforowe połączone równoległe (rys. 2.30). Zastosowanie bramek buforowych jest również korzystne do sterowania obciążen o stosunkowo dużej składowej pojemnościowej, umożliwia bowiem osiągnięcie mniejszych opóźnień czasu propagacji sygnału niż w układach zbudowanych z bramek standardowych.