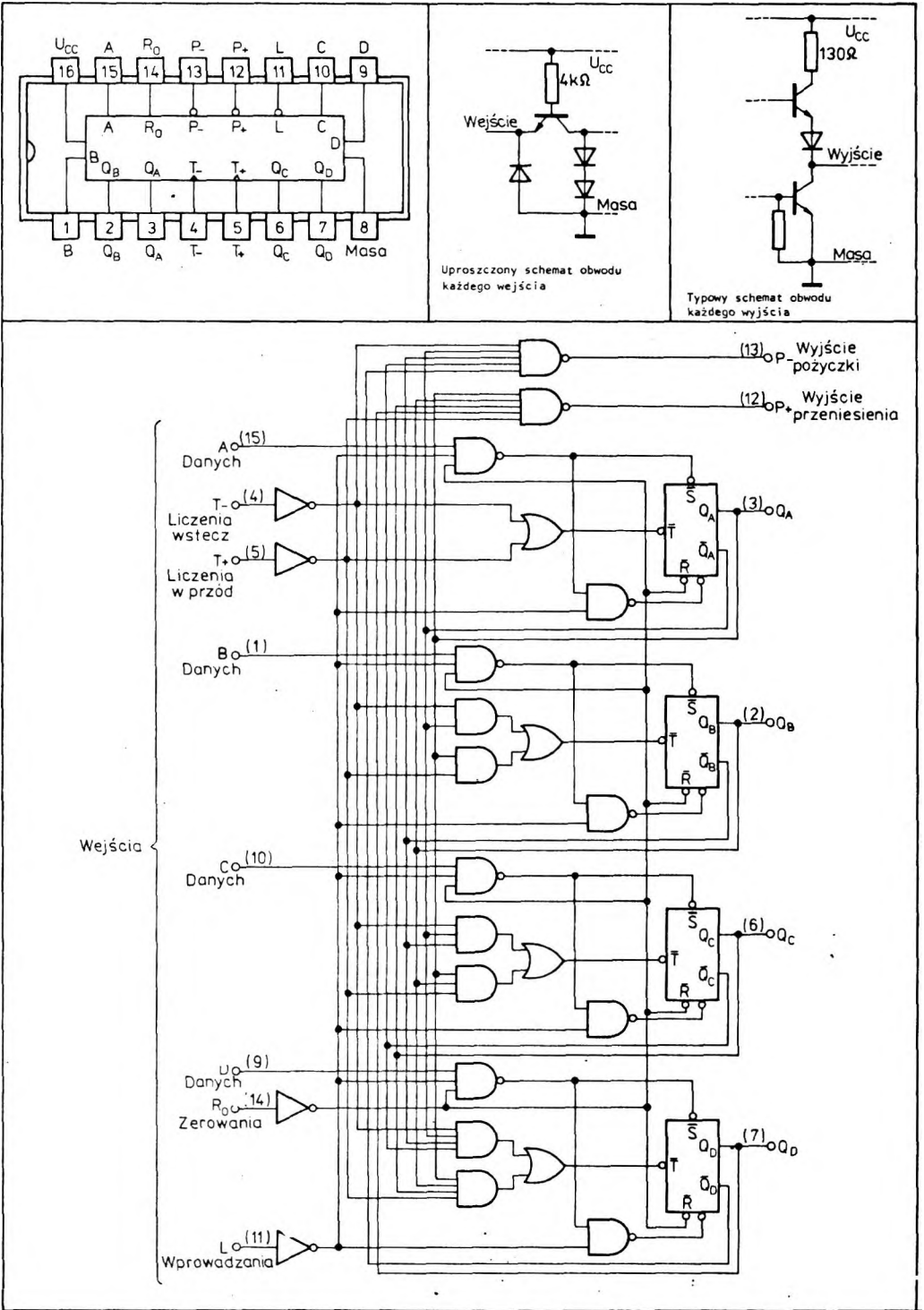


3.1.2.2 Synchroniczne rewersyjne liczniki dwójkowe: UCA64193N, UCY74193N



Układy UCA64193N i UCY74193N są synchronicznymi rewersyjnymi 4-bitowymi licznikami dwójkowymi z przeniesieniem równoległym. Każdy układ zawiera cztery przerzutniki *Master-Slave* i bramki połączone wewnętrznie dla określenia odpowiednich instrukcji sterowania. Zmiany stanów wyjść przerzutników (Q_A , Q_B , Q_C i Q_D) następują synchronicznie z narastającym zboczem impulsu zegarowego. Synchroniczną pracę zapewnia jednocześnie sterowanie wszystkich przerzutników, uzyskane w ten sposób, że stany ich wyjść zmieniają się przy koincydencji sygnału zegarowego z odpowiednim stanem instrukcji sterowania. Liczniki pracują w naturalnym kodzie dwójkowym. Kierunek liczenia jest uzależniony od tego na które wejście zegarowe (T_+ albo T_-) przyłożone są impulsy przy jednoczesnym wystąpieniu stanu wysokiego na drugim wejściu zegarowym.

Dwa wyjścia: pożyczki P_- i przeniesienia P_+ są sterowane impulsami zegarowymi. Na wyjściu pożyczki P_- wystąpi ujemny impuls, taki jaki istnieje w tym czasie na wejściu zegarowym T_- , gdy licznik osiągnie

stan minimalny (0). Na wyjściu przeniesienia P_+ wystąpi ujemny impuls, taki jaki istnieje w tym czasie na wejściu zegarowym T_+ , gdy licznik osiągnie stan maksymalny (15). Wyjścia przeniesienia P_+ i pożyczki P_- umożliwiają kaskadowe łączenie liczników przy zachowaniu obu funkcji liczenia w przód i wstecz bez konieczności zastosowania dodatkowych elementów logicznych.

Liczniki UCA64193N i UCY74193N są całkowicie programowane. Wyjścia wszystkich przerzutników mogą być ustawione w żądanych stanach logicznych przez przyłożenie takich stanów do wejść danych i wystąpienie stanu niskiego na wejściu wprowadzenia (L). Wejście wprowadzenia jest asynchroniczne. Układy UCA64193N i UCY74193N mają całkowicie niezależne i nadrzędne w stosunku do innych wyjść, wejście zerowania; stan wysoki (1) na wejściu zerowania ustawia wyjścia wszystkich przerzutników w stanie niskim (0).

Układy UCA64193N i UCY74193N są produkowane w obudowach A49C(CE71).

Zalecane warunki pracy

Parametry		Wartość			Jednostki	
		min	nom	max		
Nazwa		Symbol				
Napięcie zasilania		U_{CC}	4,75	5,0	5,25	V
Obciążalność	w stanie niskim	N_L		10	s.o.l.	
	w stanie wysokim	N_H		20		
Obciążenie wnoszone przez wejście				1		
Częstotliwość liczenia		f	0	25	MHz	
Czas trwania impulsów wejściowych		t_w	20		ns	
Czas ustalania		t_{setup}	20			
Czas przetrzymywania		t_{hold}	0			
Zakres temperatury otoczenia	UCA64193N	t_{amb}	-40	85	°C	
	UCY74193N		0	70		

Wartości dopuszczalne parametrów

Parametry		Wartość		Jednostki
Nazwa	Symbol	min	max	
Napięcie zasilania	U_{CC}		7	V
Napięcie wejściowe	U_I		5,5	
Ujemny prąd wejściowy	$-I_I$		12	mA
Zakres temperatury przechowywania	t_{10}	-55	125	°C

Parametry statyczne

(Jeżeli nie podano inaczej — w pełnym zakresie temperatury otoczenia)

Parametry		Wartość		Jednostki	Warunki pomiaru	Układ pomiarowy	
Nazwa	Symbol	min	typ ¹⁾ max				
Napięcie wejściowe w stanie niskim	U_{IL}		0,8	V			
Napięcie wejściowe w stanie wysokim	U_{IH}	2		V			
Ujemne napięcie wejściowe	$-U_I$		1,5	V	$U_{CC} = 4,75 \text{ V}$ $I_I = -12 \text{ mA}$ $t_{amb} = 25^\circ\text{C}$	G	
Prąd wejściowy w stanie niskim	I_{IL}		-1,6	mA	$U_{CC} = 5,25 \text{ V}$ $U_I = 0,4 \text{ V}$	D	
Prąd wejściowy w stanie wysokim	I_{IH}		40	µA	$U_{CC} = 5,25 \text{ V}$; $U_I = 2,4 \text{ V}$	C	
			1	mA	$U_{CC} = 5,25 \text{ V}$; $U_I = 5,5 \text{ V}$		
Napięcie wyjściowe w stanie niskim	U_{OL}	0,2	0,4	V	$I_{OL} = 16 \text{ mA}$	B	
Prąd wyjściowy w stanie niskim	I_{OL}		16	mA	$U_{OL} \leq 0,4 \text{ V}$		
Napięcie wyjściowe w stanie wysokim	U_{OH}	2,4	3,4	V	$I_{OH} = -800 \text{ µA}$	A	
Prąd wyjściowy w stanie wysokim	I_{OH}		-800	µA	$U_{OH} \geq 2,4 \text{ V}$		
Zwarciov prąd wyjściowy ²⁾	I_{OS}	-18	-35	-55	mA	$U_{CC} = 5,25 \text{ V}$	E
Prąd zasilania	I_{CC}		65	102	mA	$U_{CC} = 5,25 \text{ V}$	F

¹⁾ Wartości typowe podane są przy $U_{CC} = 5 \text{ V}$, $t_{amb} = 25^\circ\text{C}$
²⁾ Jednocześnie może być zwarte nie więcej niż jedno wyjście

Parametry dynamiczne przy $U_{CC} = 5 \text{ V}$, $t_{amb} = 25^\circ\text{C}$

Parametry		Wartość		Jednostki	Warunki pomiarowe	Układ pomiarowy
Nazwa	Symbol	min	max			
Maksymalna częstotliwość liczenia	f_{max}	25		MHz	$R_L = 400 \Omega$ $C_L = 15 \text{ pF}$	H
Czas propagacji sygnału od wejść danych do wyjść Q	t_{PLH1}	30		ns		
	t_{PHL1}	40				
Czas propagacji sygnału od wejść zegarowych do wyjść Q	t_{PLH2}	38		ns		I
	t_{PHL2}	47				
Czas propagacji sygnału od wejścia liczenia w przód T+ do wyjścia przeniesienia P+	t_{PLH3}	26		ns		
	t_{PHL3}	24				
Czas propagacji sygnału od wejścia liczenia wstecz T- do wyjścia pożyczki P-	t_{PLH4}	24		ns		
	t_{PHL4}	24				
Czas propagacji sygnału od wejścia wprowadzenia L do wyjść Q	t_{PLH5}	35		ns		H
	t_{PHL5}	40				
Czas propagacji sygnału od wejścia zerowania R do wyjść Q	t_{PHL6}	40		ns		

Układy pomiarowe

Pomiary parametrów statycznych

Tabela napięć wejściowych dla układów pomiarowych A i B

Przyłożyć napięcie $U_i = 0,8 \text{ V}$ do wejść	Przyłożyć napięcie $U_i = 2 \text{ V}$ do wejść	Pomiar U_{OH} na wyjściach	Pomiar U_{OL} na wyjściach
T+, T-, R ₀ , L	A, B, C, D,	Q _A , Q _B , Q _C , Q _D	
T+, T-	A, B, C, D, R ₀ , L		Q _A , Q _B , Q _C , Q _D
T+ T-	A, B, C, D, R ₀ , L		P- (borrow)
T+	A, B, C, D, R ₀ , L, T-	P- (borrow)	
T+, T-, B, C, D, R ₀ , L	A	P- (borrow)	
T+, T-, A, B, D, R ₀ , L	C	P- (borrow)	
T+, T-, A, C, D, R ₀ , L	B	P- (borrow)	
T+, T-, A, B, C, R ₀ , L	D	P- (borrow)	
R ₀ , L	A, B, C, D, T+, T-	P+ (carry)	

Przyłożyć napięcie $U_I = 0,8 \text{ V}$ do wejść	Przyłożyć napięcie $U_I = 2 \text{ V}$ do wejść	Pomiar U_{OH} na wyjściach	Pomiar U_{OL} na wyjściach
$T+, A, R_0, L$	$B, C, D, T-$	$P+$ (carry)	
$T+, B, R_0, L$	$A, C, D, T-$	$P+$ (carry)	
$T+, C, R_0, L$	$A, B, D, T-$	$P+$ (carry)	
$T+, D, R_0, L$	$A, B, C, T-$	$P+$ (carry)	
$T+, R_0, L$	$A, B, C, D, T-$		$P+$ (carry)

Oznaczenia:

A, B, C, D — wyjścia danych

$T+$ — wejście zegarowe liczenia w przód (COUNT UP)

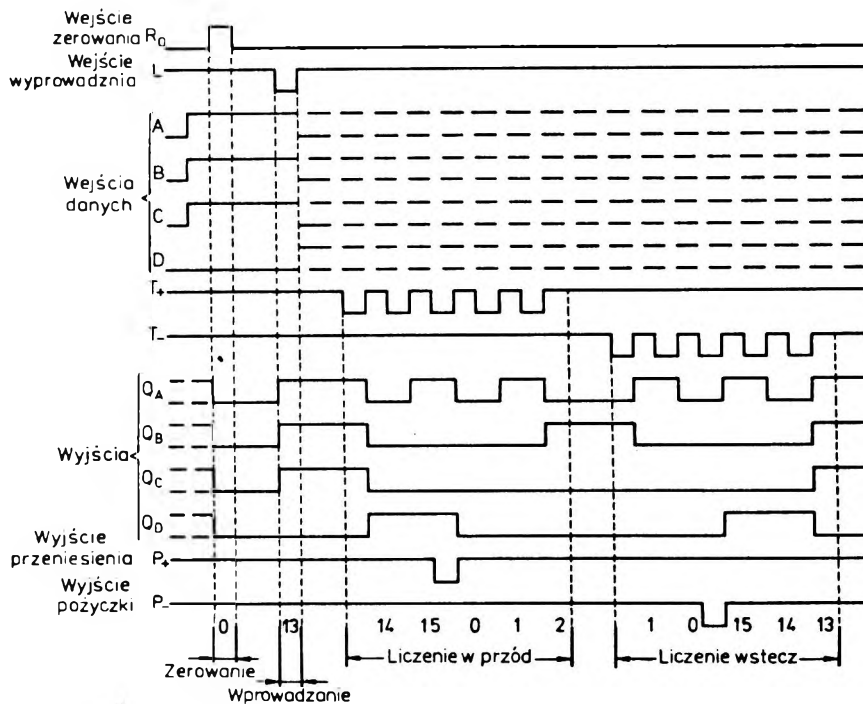
$T-$ — wejście zegarowe liczenia wstecz (COUNT DOWN)

R_0 — wejście zerowania (CLEAR)

L — wejście wprowadzania (load)

$P+$ — wyjście przeniesienia (carry)

$P-$ — wyjście pożyczki (borrow)

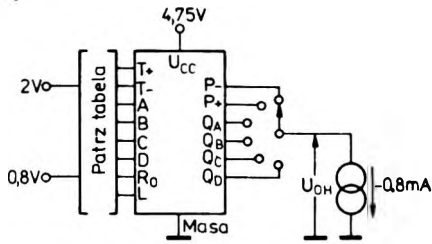


Przebiegi ilustrujące następujące sekwencje:

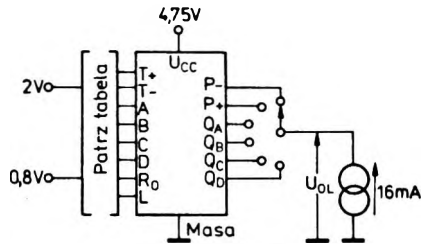
1. Zerowanie
2. Wprowadzanie stanu $S = 13$
3. Liczenie w przód; czternaście, piętnaście, przeniesienie, zero, jeden i dwa.
4. Liczenie wstecz; jeden, zero, pożyczka, piętnaście, czternaście i trzynaście.

Uwagi: 1. Wejście zerowania jest niezależne i nadrzędne w stosunku do innych wejść.

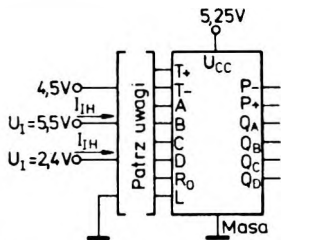
2. W czasie liczenia w przód wejście liczenia wstecz musi być ustawione w stanie wysokim, natomiast w czasie liczenia wstecz wejście liczenia w przód musi być ustawione w stanie wysokim.



Układ pomiarowy A. Pomiar U_{OH}



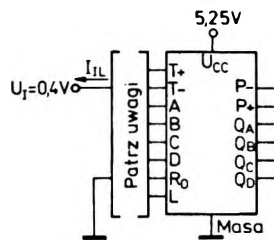
Układ pomiarowy B. Pomiar U_{OL}



Uwagi:

Każde wejście jest badane oddzielnie.
Przyłożyc napięcie U_1 na wejście badane,
pozostałe wejścia dotychczas do masy.
Przy pomiarach wejść danych na wejścia
zerowania i wprowadzania przyłożyc napięcie 4,5 V.

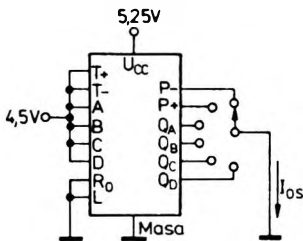
Układ pomiarowy C. Pomiar I_{IH}



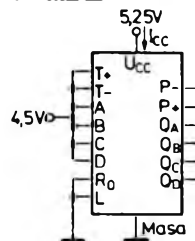
Uwagi:

Każde wejście jest badane oddzielnie.
Przyłożyc napięcie $U_1 = 0,4$ V na wejście badane.
Pozostałe wejścia dotychczas do masy.

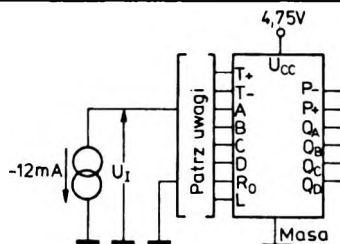
Układ pomiarowy D. Pomiar I_{IL}



Układ pomiarowy E. Pomiar I_{OS}



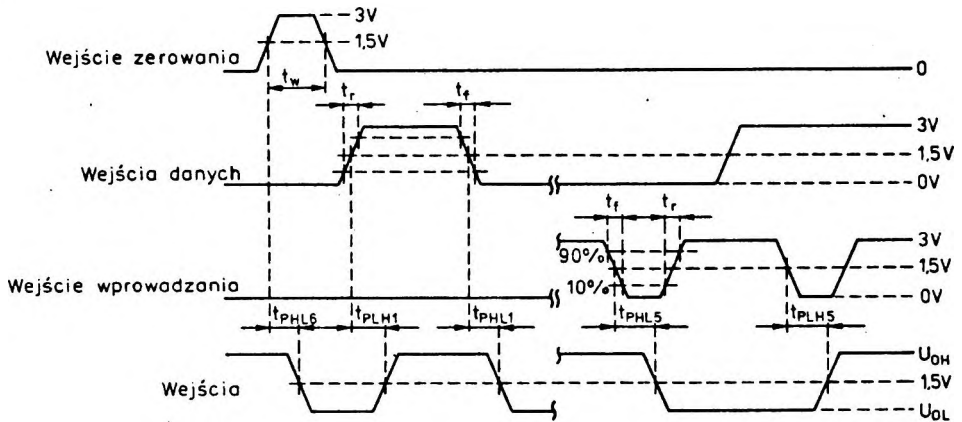
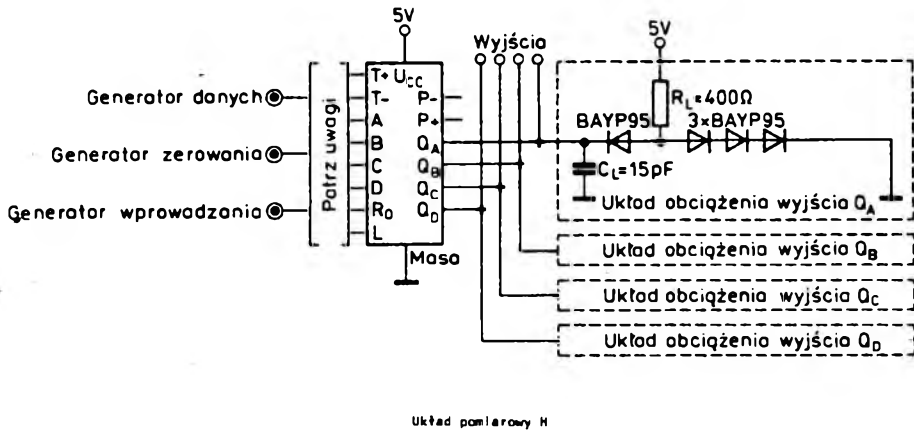
Układ pomiarowy F. Pomiar I_{CC}



Uwagi: Każde wejście jest badane oddzielnie
 $I_i = -12$ mA z wejścia testowanego,
pozostałe wejścia dotychczas do masy.

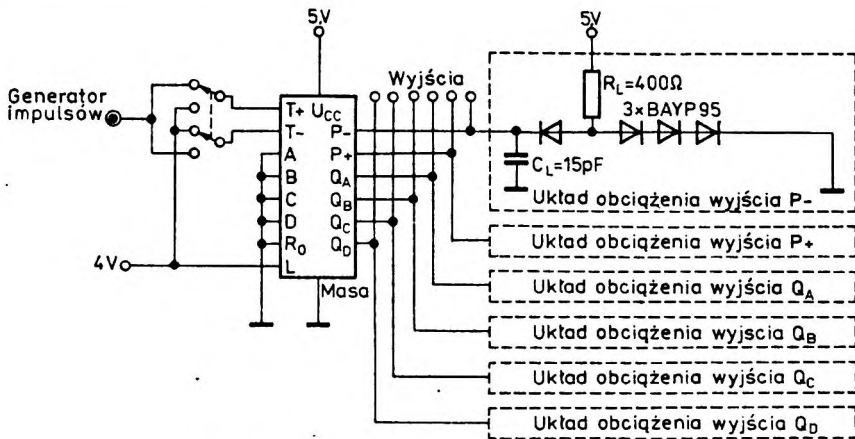
Układ pomiarowy G. Pomiar $-U_i$

Pomiary parametrów dynamicznych



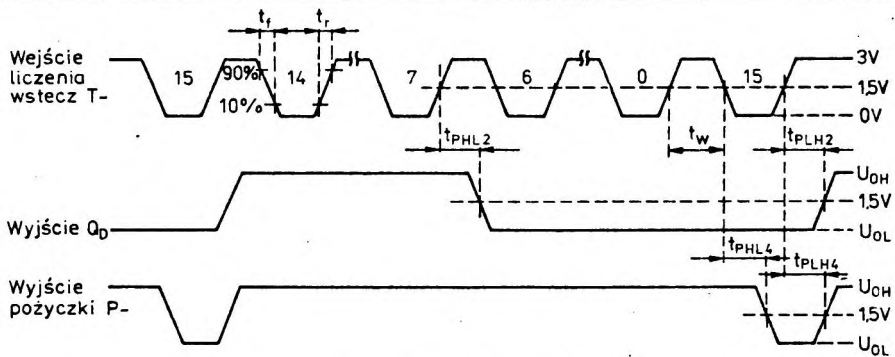
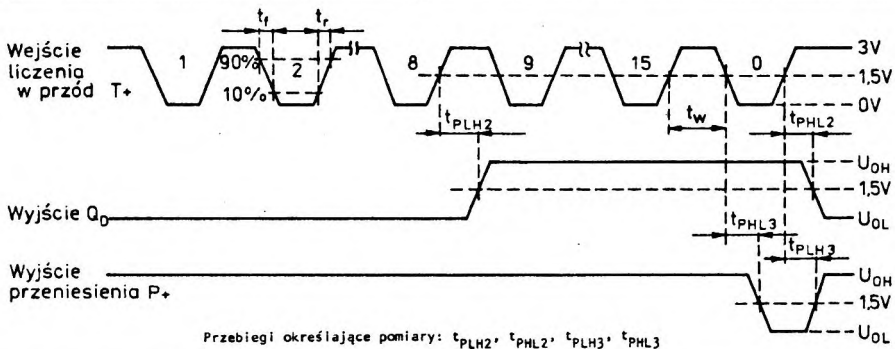
Przebiegi określające pomiary: t_{PLH1} , t_{PHL1} , t_{PLH5} , t_{PHL5} i t_{PHL6}

Uwagi: Parametry impulsów na wejściach danych (A, B, C i D):
 amplituda $U = 3\text{ V}$, poziom podstawy 0 V , czas narastania $t_r \leq 7\text{ ns}$, czas opadania $t_f \leq 7\text{ ns}$, czas trwania $t_{w1} = 500\text{ ns}$, częstotliwość $f = 1\text{ MHz}$, parametry impulsów na wejściach wprowadzania i zerowania: amplituda $U = 3\text{ V}$, poziom podstawy 0 V , czas narastania $t_r \leq 7\text{ ns}$, czas opadania $t_f \leq 7\text{ ns}$, czas trwania $t_{w2} = 90\text{ ns}$, częstotliwość $f = 1\text{ MHz}$. Impedancja wyjściowa generatorów $Z_o = 50\ \Omega$. Wartość C_L uwzględnia pojemność sondy i pojemność montażu. Obciążeniem każdego wyjścia jest układ o danych określonych dla wyjścia Q_A .



Układ pomiarowy 1. Pomiary: t_{PLH2} , t_{PHL2} , t_{PLH3} , t_{PHL3} , t_{PLH4} , t_{PHL4}

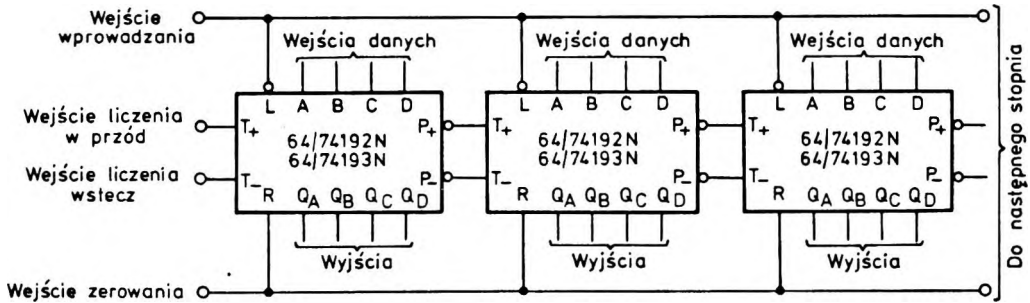
- Uwagi: 1. Parametry impulsów zegarowych: amplituda $U = 3\text{ V}$, poziom podstawowy 0 V , czas narastania $t_r = 7\text{ ns}$, czas opadania $t_f = 7\text{ ns}$, czas trwania $t_w = 500\text{ ns}$, częstotliwość $f = 1\text{ MHz}$.
2. Impedancja wyjściowa generatora impulsów: $Z_o = 50\ \Omega$.
3. Wartość C_L uwzględnia pojemność sondy i pojemność montażu.
4. Obciążeniem każdego wyjścia jest układ o danych określonych dla wyjścia P-.



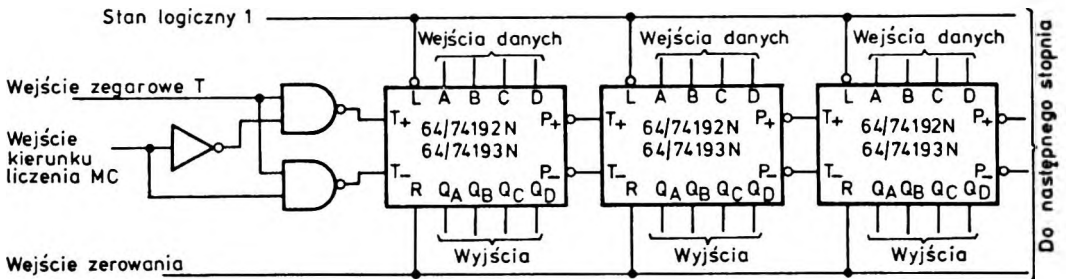
3.1.2.3. Typowe zastosowania liczników synchronicznych

Liczniki więcej niż czterobitowe można uzyskać przez kaskadowe łączenie układów UCA64192N, UCY74192N, UCA64193N i UCY74193N. Wyjścia: pożyczki P_- i przeniesienia P_+ umożliwiają kaskadowe łączenie liczników przy zachowaniu obu funkcji liczenia w przód i wstecz bez konieczności stosowania dodatkowych elementów logicznych.

Schemat łączenia kaskadowego wymienionych układów w licznik o dużej pojemności przedstawiono na rys. 3.39. Jeżeli impulsy dodawane do zawartości licznika i odejmowane od zawartości licznika mają wspólne źródło, to można zastosować schemat połączeń przedstawiony na rys. 3.40. Stan wejścia MC określa kierunek liczenia. Przedstawione układy

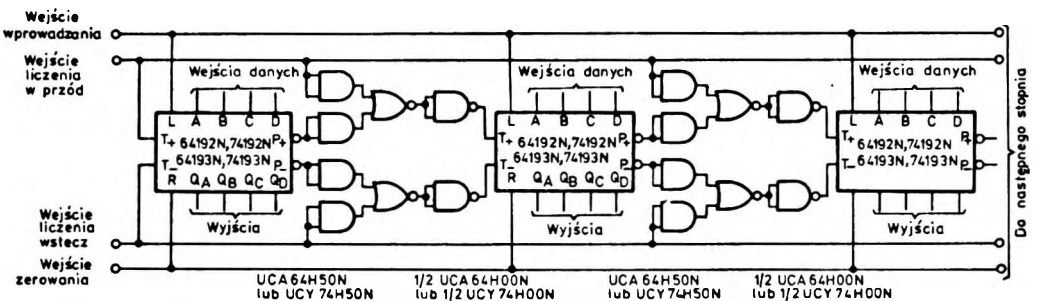


Rys. 3.39. Schemat asynchronicznego licznika rewersyjnego



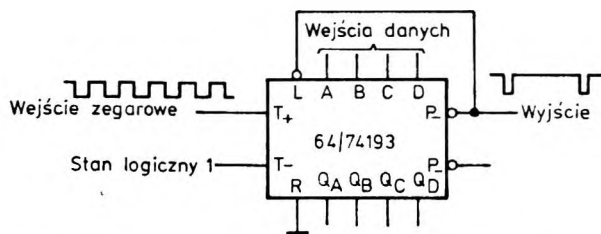
Uwagi: Stan wysoki na wejściu MC oznacza liczenie wstecz
Stan niski na wejściu MC oznacza liczenie w przód

Rys. 3.40. Schemat licznika rewersyjnego, zliczającego impulsy pochodzące ze wspólnego źródła

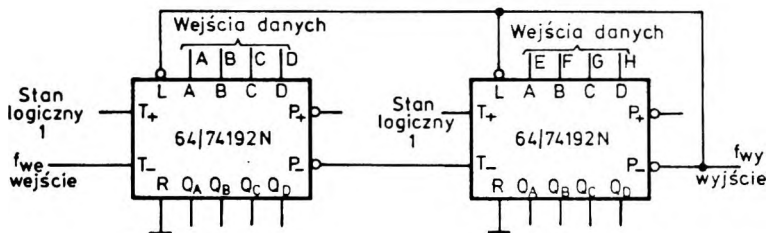


Rys. 3.41. Schemat ideowy synchronicznego licznika rewersyjnego o dużej pojemności

Rys. 3.42
Schemat dzielnika
częstotliwości



Rys. 3.43
Schemat ideowy
programowanego
dzielnika częstotliwości



liczników o dużej pojemności są licznikami asynchronicznymi. Maksymalny czas propagacji przy liczeniu w przód jest sumą składowych opóźnień od wejść T_+ do wyjść P_+ w licznikach kolejno od pierwszego do przedostatniego oraz od wejścia T_+ do wyjść Q w liczniku ostatnim.

Jeżeli wymagana jest praca synchroniczna całego zespołu liczącego, to można połączyć układy według schematu przedstawionego na rys. 3.41. W układzie tym liczniki: drugi i każdy następny są pobudzane impulsami opóźnionymi o wartość stanowiącą sumę czasów propagacji bramki I-LUB-NIE (64/74H50N) pełniącej funkcję LUB-NIE (NOR) oraz bramki I-NIE (64/74H00N) pełniącej rolę inwertera. Zastosowanie układów serii szybkiej ma na celu zmniejszenie występującego opóźnienia. Jeżeli warunki pracy licznika tolerują takie opóźnienie o odpowiednio większej wartości, to zamiast bramek serii szybkiej I-LUB-NIE (64/74H50N) można zastosować bramki serii standardowej LUB-NIE (64/7402N), a zamiast bramek I-NIE (64/74H00N) — inwertery serii standardowej (64/7404N).

W układach UCA64192N, UCY74192N, UCA64193N i UCY74193N stan niski na wejściu wprowadzania L zmienia stany wyjść Q_A , Q_B , Q_C i Q_D stosownie do stanów istniejących na wejściach danych A , B , C i D , niezależnie od impulsów zegarowych. Właściwość ta umożliwia zastosowanie powyższych układów jako liczników modulo N bez potrzeby zastosowania dodatkowych elementów logicznych. Realizacja liczników modulo N polega na wprowadzeniu połączenia skracającego długość cyklu liczenia. Na rysunku 3.42 przedstawiono schemat połączeń układu UCA64193N

lub UCY74193N pełniącego funkcję dzielnika częstotliwości impulsów wejściowych przez N (gdzie N jest liczbą całkowitą zawartą w przedziale $1 < N < 16$). Wejścia danych A , B , C i D należy ustawić w stanie dwójkowym odpowiadającym liczbie dziesiętnej 16- N . Wyjście przeniesienia P_+ przyjmuje stan logiczny 0 po osiągnięciu przez licznik stanu maksymalnego oraz stanu logicznego 0 na wejściu zegarowym T_+ . W tym czasie następuje ustawienie licznika w stanie dwójkowym odpowiadającym liczbie dziesiętnej 16- N i od tego stanu rozpoczyna się nowy cykl liczenia. Na rysunku 3.43 przedstawiono schemat innego dzielnika częstotliwości impulsów wejściowych. Licznik zlicza wstecz od stanu wprowadzonego z wejść danych do stanu minimalnego (0000 0000). W układzie tym dla liczników dziesiętnych UCA64192N lub UCY74192N wartość częstotliwości wyjściowej

$$f_{wy} = \frac{f_{we}}{N} = \frac{f_{we}}{1A + 2B + 4C + 8D + 10E + 20F + 40G + 80H}$$

W przypadku stosowania czterobitowych liczników dwójkowych UCA64193N lub UCY74193N wartość częstotliwości wyjściowej

$$f_{wy} = \frac{f_{we}}{N} = \frac{f_{we}}{1A + 2B + 4C + 8D + 16E + 32F + 64G + 128F}$$

W przedstawionych dzielnikach częstotliwości przebieg wyjściowy ma kształt ujemnych impulsów o czasie trwania $t_w \approx 30$ ns.