

3.3.5. Ośmiobitowe rejestry przesuwające z wyjściami szeregowymi i wyjściami równoległymi: UCA64164N, UCY74164N

Monolityczny układ scalony UCA64164N lub UCY74164N jest ośmiobitowym rejestrem przesuwającym z wejściem szeregowym i wyjściami równoległymi.

Rejestr ma bramkowane wejścia szeregowe (A, B) i asynchroniczne wejście zerowania (R). Bramkowane wejścia szeregowe umożliwiają sterowanie rejestru przed przyłożeniem danych. Stan niski na jednym

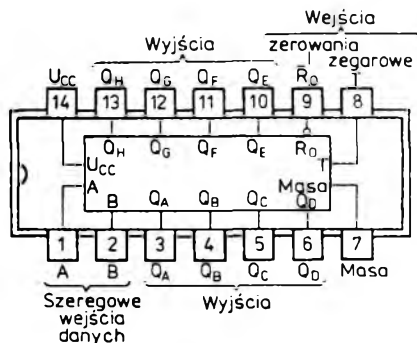
Tabela stanów

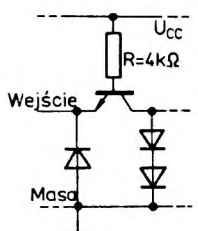
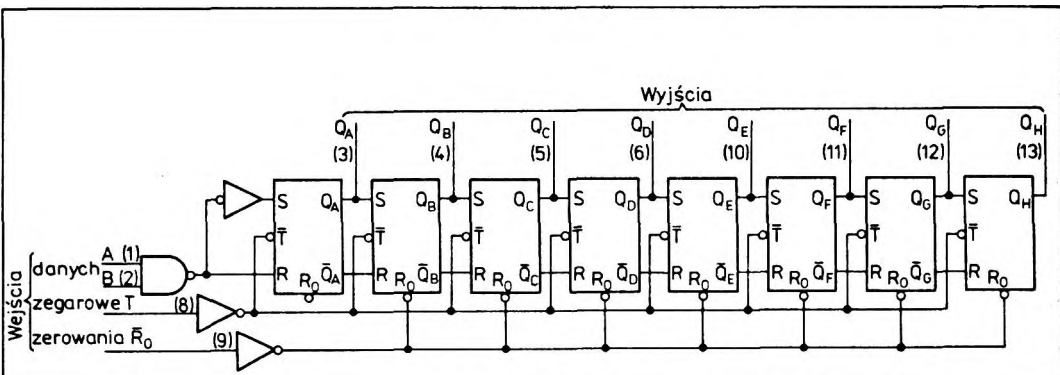
Wejścia		Wyjścia					
R_0	T	A	B	Q_A	$Q_B \dots$	Q_H	
L	X	X	X	L	L	L	
H	L	X	X	Q_{A0}	Q_{B0}	Q_{H0}	
H	\int	H	H	H	Q_{An}	Q_{Gn}	
H	\int	L	X	L	Q_{An}	Q_{Gn}	
H	\int	X	L	L	Q_{An}	Q_{Gn}	

H = stan wysoki,
L = stan niski,
X = stan dowolny,
 \int = zmiana stanu z niskiego na wysoki

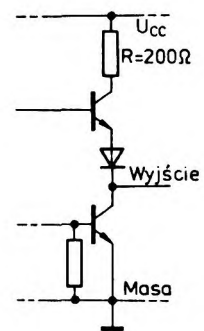
$Q_{A0}, Q_{B0}, Q_{C0}, Q_{D0}$ = stany wyjść Q_A, Q_B, Q_C, Q_D ,
które były przed ustaleniem podanych warunków na wejściach.

Q_{An}, Q_{Gn} = stany wyjść Q_{An}, Q_{Gn}
przed ostatnią zmianą na wejściu zegarowym ze stanu niskiego na wysoki, wskazujące przesunięcie o jeden bit.

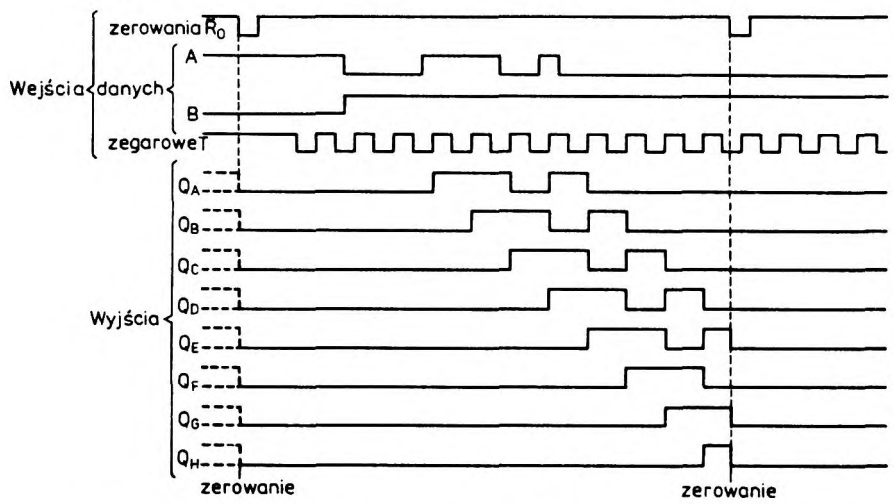




Uproszczony schemat obwodu każdego wejścia



Typowy schemat obwodu każdego wyjścia



Przebiegi ilustrujące typową sekwencję: zerowanie, przesuw i zerowanie

lub obu wejściach szeregowych blokuje wprowadzanie nowych danych i ustawia pierwszy przerzutnik w stanie niskim podczas narastania zbocza najbliższego impulsu zegarowego. Stan wysoki na jednym wejściu szeregowym uaktywnia drugie wejście, którego stan określa informację wprowadzaną do pierwszego przerzutnika.

Dane na wejściach szeregowych mogą być zmieniane w czasie, gdy na wejściu zegarowym istnieje stan wysoki. Do rejestru może być wprowadzona tylko

informacja istniejąca na wejściu szeregowym przez wymagany czas ustalania przed najbliższym narastającym zboczem impulsu zegarowego.

Działanie logiczne rejestru określa tabela stanów. Każde wyjście rejestru UCA64164N lub UCY74164N ma obciążalność w stanie niskim $N_L = 5$ s.o.l. i w stanie wysokim $N_H = 10$ s.o.l.

Układy UCA64164N i UCY74164N są produkowane w obudowach A49B(CE70).

Zalecane warunki pracy

Parametry		Wartość			Jednostki		
		Nazwa	Symbol	min		nom	max
Napięcie zasilania			U_{CC}	4,75	5,0	5,25	V
Obciążalność każdego wyjścia w stanie:	niskim		N_L	5			s.o.l.
	wysokim		N_H	10			
Obciążenie wnoszone przez wejścia	zerowania			2			
	pozostałe			1			
Częstotliwość zegarowa			f_c	0	25		MHz
Czas trwania impulsu zegarowego lub zerującego			t_w	20			ns
Czas ustalania danych			$t_{setup}(da)$	15			ns
Czas przetrzymywania danych			$t_{hold}(da)$	0			ns
Zakres temperatury otoczenia	UCA64164N	t_{amb}		-40	85		°C
	UCY74164N			0	70		

Parametry dynamiczne przy $U_{CC} = 5$ V, $t_{amb} = 25^\circ\text{C}$

Parametry		Wartość			Jednostki	Warunki pomiaru	Układ pomiarowy	
		Nazwa	Symbol	min				typ
Maksymalna częstotliwość zegarowa			f_{max}	25	36		G	
Czas propagacji sygnału do stanu niskiego na wyjściach Q od wejścia zegarowego T			t_{PHL}	10	21	32		$C_L = 15$ pF
Czas propagacji sygnału do stanu wysokiego na wyjściach Q od wejścia zegarowego T			t_{PLH}	8	17	27		ns
Czas propagacji sygnału do stanu niskiego na wyjściach Q od wejścia zerowania R_0			t_{PHL}	24		36	$R_L = 800$ Ω	

Wartości dopuszczalne parametrów

Parametry		Wartość		Jednostki
Nazwa	Symbol	min	max	
Napięcie zasilania	U_{CC}		7	V
Napięcie wejściowe	U_I		5,5	mV
Ujemny prąd wejściowy	$-I_I$		12	mA
Zakres temperatury przechowywania	t_{sto}	-55	125	°C

Parametry statyczne

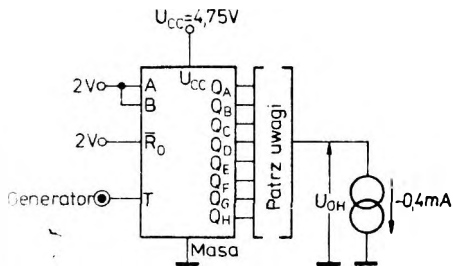
(Jeżeli nie podano inaczej — w pełnym zakresie temperatury otoczenia)

Parametry		Wartość		Jednostki	Warunki pomiaru	Układ pomiarowy
Nazwa	Symbol	min	typ ¹⁾ max			
Napięcie wejściowe w stanie niskim	U_{IL}		0,8	V		
Napięcie wejściowe w stanie wysokim	U_{IH}	2		V		
Ujemne napięcie wejściowe	$-U_I$		1,5	V	$U_{CC} = 4,75 \text{ V}$ $I_I = -12 \text{ mA}$ $t_{amb} = 25^\circ\text{C}$	F
Prąd wejściowy w stanie niskim dla wejść:	zerowania	I_{IL}	-3,2	mA	$U_{CC} = 5,25 \text{ V}$ $U_I = 0,4 \text{ V}$	D
	pozostałych		-1,6			
Prąd wejściowy w stanie wysokim dla wejść:	zerowania	I_{IH}	80	µA	$U_{CC} = 5,25 \text{ V}$ $U_I = 2,4 \text{ V}$	D
	pozostałych		40			
	każdego wejścia		1	mA	$U_{CC} = 5,25 \text{ V}$ $U_I = 5,5 \text{ V}$	D
Napięcie wyjściowe w stanie niskim	U_{OL}	0,2	0,4	V	$I_{OL} = 8 \text{ mA}$	C
Prąd wyjściowy w stanie niskim	I_{OL}		8	mA	$U_{OL} \leq 0,4 \text{ V}$	
Napięcie wyjściowe w stanie wysokim	U_{OH}	2,4	3,2	V	$I_{OH} = -0,4 \text{ mA}$	A
Prąd wyjściowy w stanie wysokim	I_{OH}		-400	µA	$U_{OH} \geq 2,4 \text{ V}$	
Zwarciov prąd wyjściowy ²⁾	I_{OS}	-9	-27,5	mA	$U_{CC} = 5,25 \text{ V}$	B
Prąd zasilania	I_{CC}	37	54	mA	$U_{CC} = 5,25 \text{ V}$	E

¹⁾ Wartości typowe podane są przy $U_{CC} = 5 \text{ V}$, $t_{amb} = 25^\circ\text{C}$
²⁾ Jednocześnie może być zwarte nie więcej niż jedno wyjście

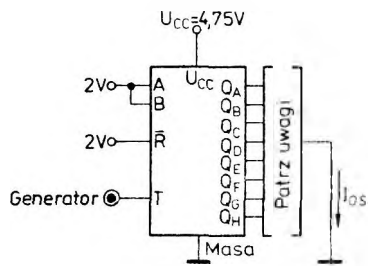
Układy pomiarowe

Pomiary parametrów statycznych



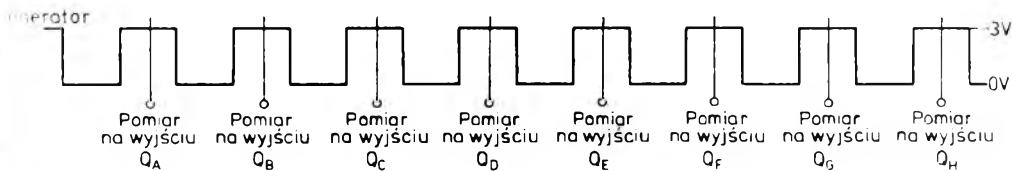
Uwagi: Każde wyjście jest badane oddzielnie zgodnie z kolejnością podaną na wykresie.

Układ pomiarowy A. Pomiary U_{OH}

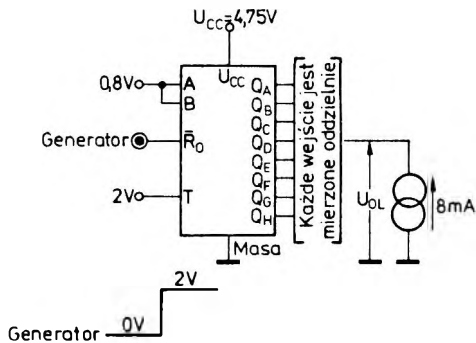


Uwagi: Każde wyjście jest badane oddzielnie zgodnie z kolejnością podaną na wykresie.

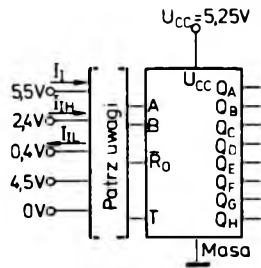
Układ pomiarowy B. Pomiary I_{OS}



Wykres określający kolejność pomiaru U_{OH} lub I_{OS} dla poszczególnych wyjść

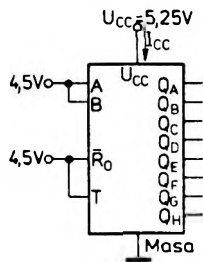


Układ pomiarowy C. Pomiary U_{OL}

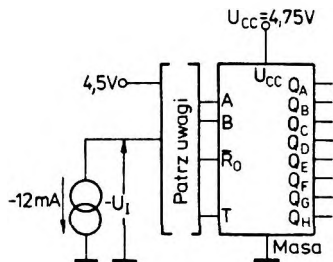


- Uwagi: 1. Każde wejście jest badane oddzielnie.
 2. Przy pomiarach I_{IL} przyłożyć $U_I = 0,4\text{ V}$ na wejście badane;
 oraz $U_I = 4,5\text{ V}$ na pozostałe wejścia.
 3. Przy pomiarach I_{IH} przyłożyć na wejście badane
 a) $U_I = 2,4$, b) $U_I = 5,5\text{ V}$,
 pozostałe wejścia dotychczas do masy.

Układ pomiarowy D. Pomiar I_{IL} , I_{IH} .



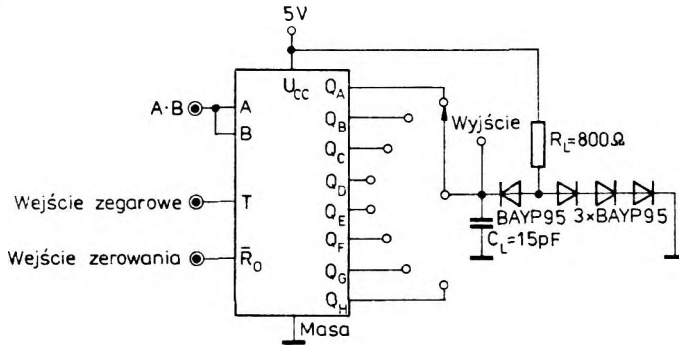
Układ pomiarowy E. Pomiar I_{CC} .



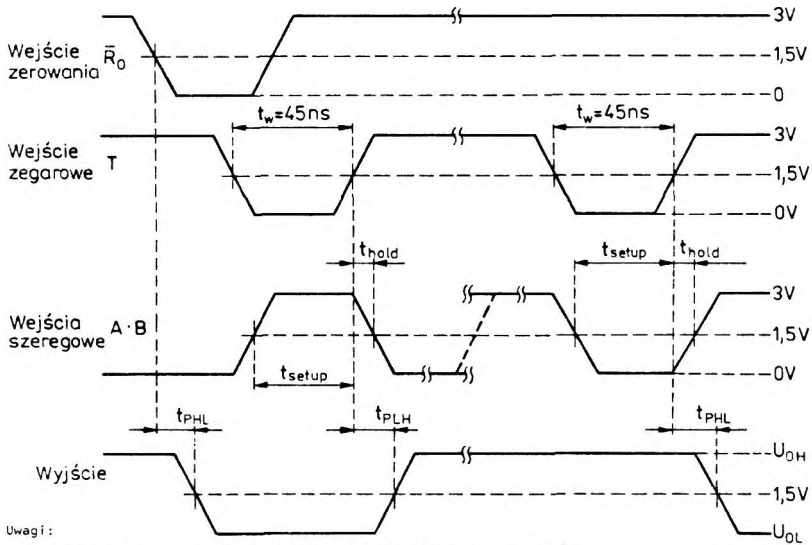
- Uwagi: Każde wejście jest badane oddzielnie
 przy: $I_I = -12\text{ mA}$ z wejścia mierzonego,
 pozostałe wejścia dotychczas do napięcia $U_I = 4,5\text{ V}$.

Układ pomiarowy F. Pomiar $-U_I$.

Pomiary parametrów dynamicznych



Układ pomiarowy G. Pomiary parametrów dynamicznych

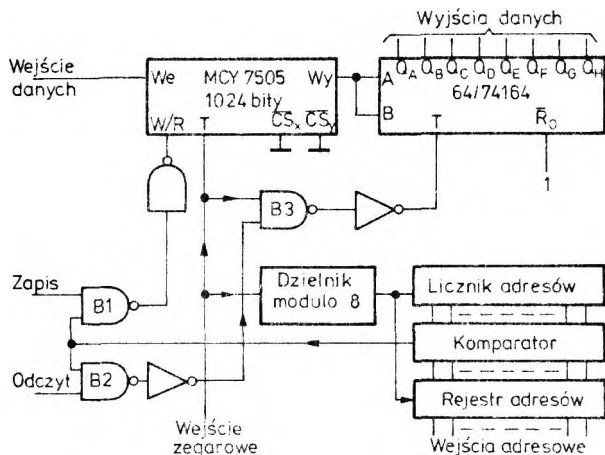


Uwagi:

W czasie zerowania na wejściu zegarowym może być stan niski lub wysoki.
 Wymagane parametry impulsów wejściowych: czas narastania $t_r \leq 10$ ns, czas opadania $t_f \leq 10$ ns, częstotliwość $f = 1$ MHz, impedancja wyjściowa generatora impulsów $Z_0 = 50\Omega$. Wartość C_L uwzględnia pojemność sondy i pojemność montażu.

Przebiegi określające pomiary parametrów dynamicznych

3.3.6. Przykłady zastosowań rejestrów 64/74164



Rys. 3.82
Schemat logiczny pamięci szeregowej o pojemności 128 słów ośmiobitowych

Ośmiobitowy rejestr szeregowy z wyjściami równoległymi 64/74164 znajduje szerokie zastosowanie w pamięciach szeregowych o niewielkiej pojemności, układach buforowych, przetwornikach informacji szeregowej na równoległą oraz układach licznikowych.

Rejestry buforowe

Układy 64/74164 mogą być szeroko stosowane jako rejestry buforowe z szeregowym wprowadzaniem i równoległymi wyjściami informacji. Przykładem tego rodzaju zastosowania jest przedstawiony na rys. 3.82 schemat logiczny pamięci szeregowej. Informacja jest przechowywana w rejestrze dynamicznym MOS — LSI o pojemności 1024 bitów. Odczytanie pełnego słowa ośmiobitowego, czasowe przechowanie i przedstawienie w postaci równoległej wymaga zastosowania rejestru buforowego. Zrównanie stanów licznika adresów ze stanami rejestru adresów spowoduje wystąpienie stanu wysokiego na wyjściu komparatora.

Jeżeli w tej sytuacji na wejściu ODCZYT będzie również stan wysoki, to zostanie otwarta bramka B3. Narastające zbocza impulsów zegarowych spowodują wprowadzenie danych z wyjścia rejestru dynamicznego do rejestru buforowego. Po wprowadzeniu ośmiu bitów danych i zapelnieniu rejestru buforowego ulegnie zmianie stan licznika adresów, na wyjściu komparatora wystąpi stan niski, ulegnie zamknięciu bramka B3. Zawartość rejestru buforowego będzie zachowana do chwili ponownego zrównania stanów

licznika adresów ze stanami rejestru adresów i rozpoczęcie wprowadzenia nowych danych.

Układ przetwarzania postaci informacji szeregowej na równoległą

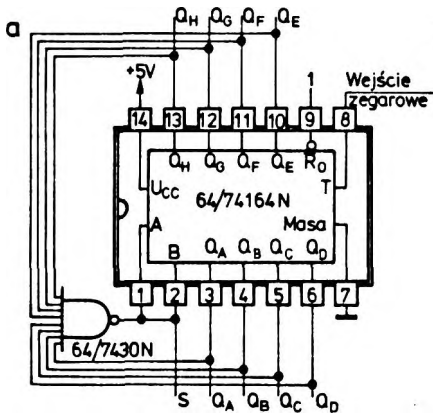
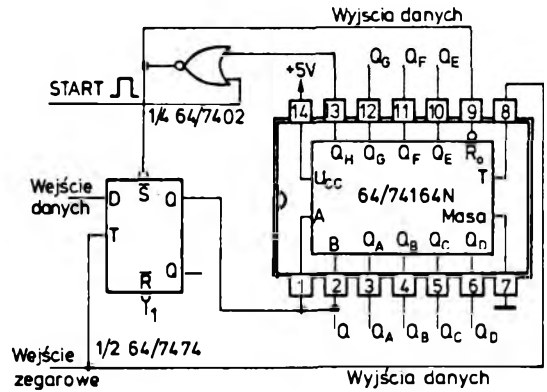
Jednym z typowych zastosowań rejestrów 64/74164 są układy przetwarzania postaci informacji. Na rysunku 3.83 przedstawiono przykład układu przetwarzania postaci informacji ośmiobitowej szeregowej na równoległą. Układ wymaga przyłożenia impulsu do stanu wysokiego na wejście START, co powoduje zerowanie rejestru i ustawienie przerzutnika typu D w stanie $Q = 1$. Następnie impulsy zegarowe wprowadzają informację szeregowo z wejścia D przerzutnika 64/7474. Po ośmiu impulsach zegarowych przetwarzana informacja jest reprezentowana przez stany wyjść $Q, Q_A, Q_B \dots Q_G$. Jednocześnie stan wysoki zostanie wprowadzony na wyjście Q_H powodując wytworzenie impulsu do stanu niskiego na wyjściu bramki NIE-LUB i rozpoczęcie nowego cyklu przetwarzania.

Jeżeli wymagane jest czasowe przetrzymywanie informacji na wyjściach rejestru, to do obwodu rozpoczynającego następny cykl przetwarzania można wprowadzić odpowiedni układ opóźniający.

Licznik pierścieniowy samokorygujący

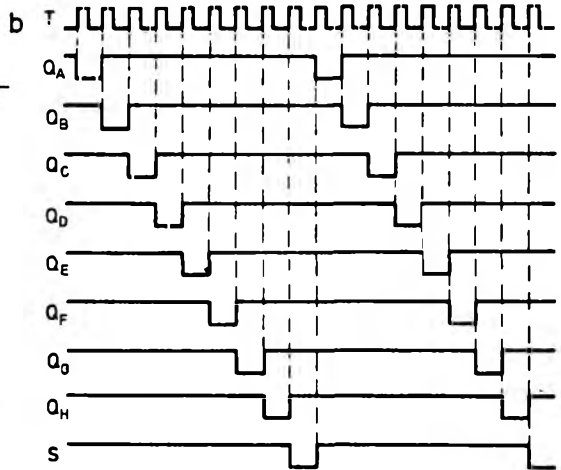
Jeżeli do rejestru przesuwającego 64/74164 wprowadzimy znaną informację, a następnie zamkniemy pętlę sprzężenia zwrotnego z wyjścia na wejście, ta informacja ta będzie krążyć w rejestrze dając odpo-

Rys. 3.83
 04-bitowy układ
 przetwarzania postaci
 informacji szeregowej
 na równoległą



Rys. 3.84. Licznik pierścieniowy samokorygujący
 a — schemat ideowy, b — przebiegi czasowe

wiednią sekwencję stanów wyjściowych. Aby stan rejestru z krążącą w nim informacją był łatwy do dekodowania, należy wprowadzić do rejestru informację z jednym stanem wyróżnionym. Na rysunku 3.84 przedstawiono układ z krążącym wyróżnionym stanem niskim (0). Na wyjściu bramki I-NIE istnieje stan wysoki tak długo aż wszystkie stopnie rejestru przyjmą również stan wysoki. Stan taki zostanie osiągnięty najdalej po ośmiu kolejnych impulsach zegarowych. Kolejny dziewiąty impuls wprowadzi do rejestru stan niski (0) powodując jednocześnie ponowne wystąpienie stanu wysokiego na wejściu rejestru. W ten sposób uzyskano układ dziewięciostanowego licznika samokorygującego. Działanie logiczne układu ilustrują przebiegi czasowe przedstawione na rys. 3.84. Liczniki tego rodzaju nie wymagają



układów dekodujących i znajdują zastosowania w obwodach rozdzielaczy, dzielników częstotliwości i innych.

Licznik Johnsona

Jeżeli w pętli sprzężenia zwrotnego z wyjścia na wejście rejestru zastosujemy element wnoszący negację to otrzymamy licznik Johnsona. Układ ten wymaga wstępnego ustawienia wszystkich stopni rejestru w stanie niskim (0).

Liczniki mają $2N$ stanów (gdzie N oznacza liczbę stopni zastosowanego rejestru).

Działanie logiczne szesnastostanowego licznika Johnsona ilustrują przebiegi czasowe przedstawione na rys. 3.85b.

