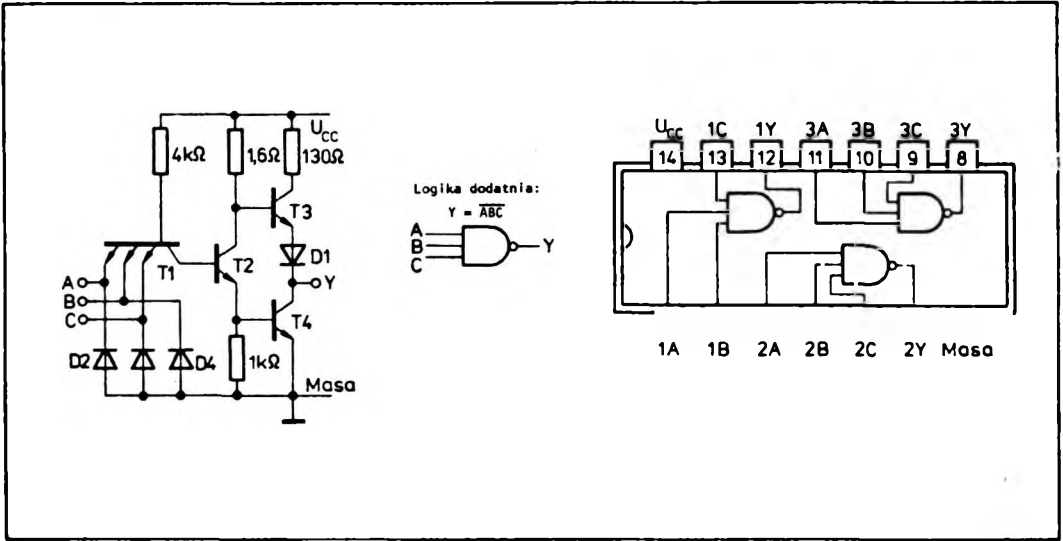
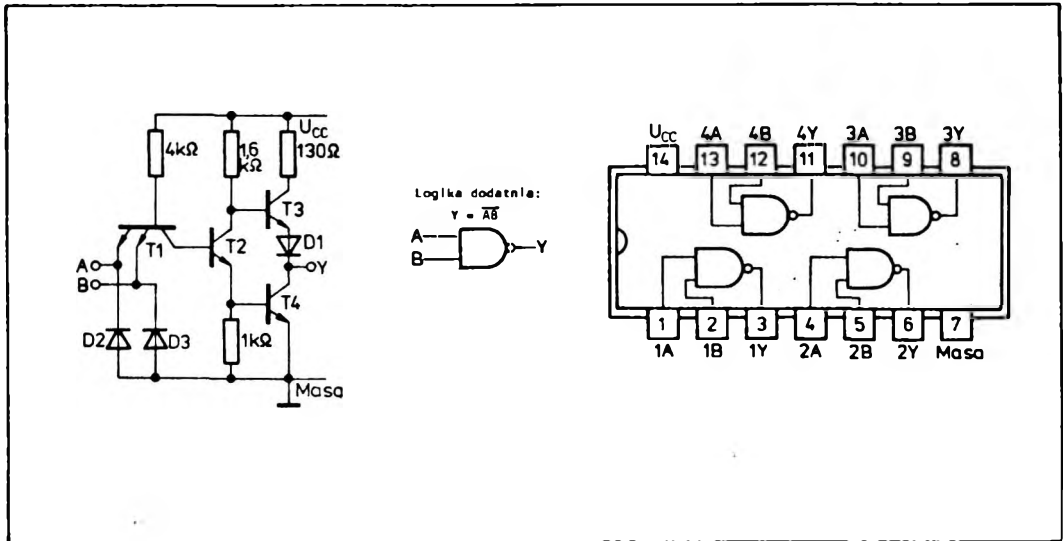


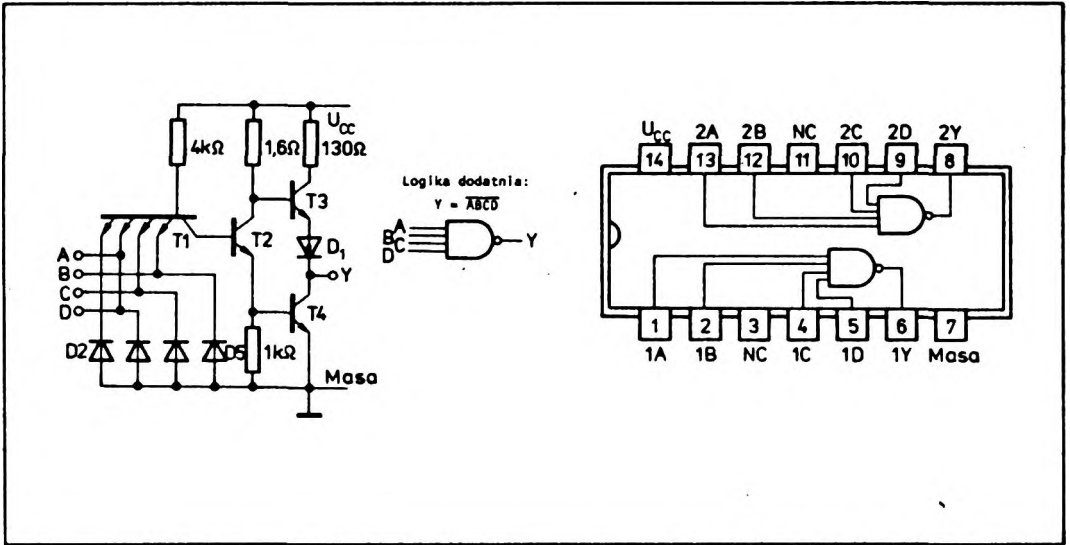
Czterokrotne dwuwęściowe bramki I-NIE: UCA6400N, UCY7400N.



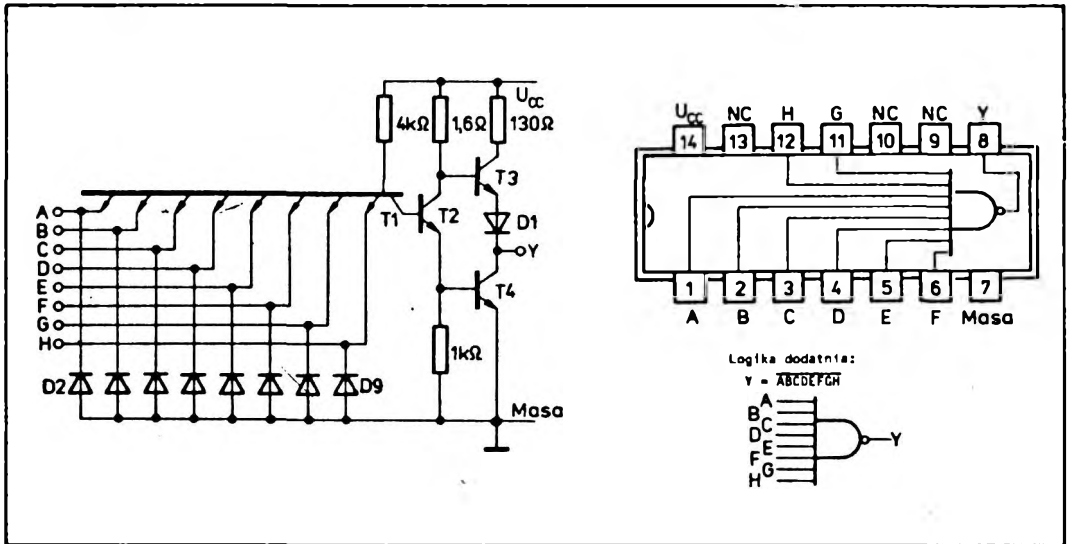
Trzykrotne trzywęściowe bramki I-NIE: UCA6410N, UCY7410N.



Dwukrotne czterowejsiowe bramki I-NIE: UCA6420N, UCY7420N.



Ośmiowejsiowe bramki I-NIE: UCA6430N, UCY7430N.



Monolityczne układy scalone: UCA6400N/10N/20N/30N, UCY7400N/10N/20N/30N zawierają bramki spełniające funkcję negacji iloczynu zmiennych wejściowych, oznaczoną w skrócie jako I-NIE. Stan wysoki (1) na wszystkich wejściach powoduje wystąpienie stanu niskiego (0) na wyjściu, natomiast stan niski (0) na jednym lub wielu wejściach wywołuje stan wysoki (1) na wyjściu.

W stanie wysokim (1) na wszystkich wejściach złącza emiter-baza tranzystora T1 są spolaryzowane zaporowo, prąd bazy tego tranzystora płynie przez złącza baza-kolektor (obszar pracy inwersyjnej tranzystora T1) do bazy tranzystora T2 powodując jego nasycenie. W tym stanie tranzystor T3 jest odcięty, a tranzystor T4 jest w stanie przewodzenia z nasyceniem. Na wyjściu występuje stan niski (0).

Jeżeli jedno lub więcej wejść znajduje się w stanie niskim (0), to tranzystor $T1$ przewodzi z nasyceniem, a tranzystor $T2$ jest odcięty. W tej sytuacji tranzystor $T3$ pracuje jako wtórnik emiterowy przy jednoczesnym odcięciu tranzystora $T4$, a na wyjściu jest stan wysoki (1).

Konfiguracja stopnia wyjściowego z tranzystorami $T3$ i $T4$ zapewnia małą rezystancję wyjściową w obu stanach logicznych. Dioda $D1$ przyspiesza odcięcie

tranzystora $T3$ w czasie procesu przełączania ograniczając stan przejściowy, w którym oba tranzystory stopnia wyjściowego przewodzą.

Do wejść bramek dołączone są diody, które zapobiegają oscylacjom w czasie przełączania oraz ograniczają występowanie ujemnych napięć wejściowych.

Układy scalone UCA6400N/10N/20N/30N i UCY7400N/10N/20N/30N są produkowane w obudowach plastikowych A49B(CE70)

Wartości dopuszczalne parametrów

Parametry		Wartość		Jednostki
Nazwa	Symbol	min	max	
Napięcie zasilania	U_{CC}		7	[V]
Napięcie wejściowe	U_I		5,5	[V]
Ujemny prąd wejściowy	$-I_I$		12	[mA]
Zakres temperatury przechowywania	t_{stg}	-55	125	[°C]

Zalecane warunki pracy

Parametry		Wartość			Jednostki	
Nazwa		Symbol	min	nom		max
Napięcie zasilania		U_{CC}	4,75	5,0	5,25	[V]
Obciążalność	w stanie niskim	N_L			10	[s.o.l.]
	w stanie wysokim	N_H			20	
Obciążenie wnoszone przez wejście					1	
Zakres temperatury otoczenia	UCA64...	t_{amb}	-40		85	[°C]
	UCY74...		0		70	

Parametry dynamiczne $U_{CC} = 5\text{ V}$, $t_{amb} = 25^\circ\text{C}$

Parametry		Symbol	Wartość		Jednostki	Warunki pomiaru	Układ pomiarowy
Nazwa			typ.	max			
Czas propagacji sygnału do stanu niskiego na wyjściu	UCA6400N UCA6410N UCY7400N UCY7410N	t_{PHL}	7	15	[ns]	$C_L = 15\text{ pF}$ $R_L = 400\ \Omega$	/
	UCA6420N UCY7420N		8	15			
	UCA6430N UCY7430N		8	15			
Czas propagacji sygnału do stanu wysokiego na wyjściu	UCA6400N UCA6410N UCY7400N UCY7410N	t_{PLH}	11	22	[ns]		
	UCA6420N UCY7420N		12	22			
	UCA6430N UCY7430N		13	22			

Parametry statyczne

(Jeżeli nie podano dodatkowych danych, oznacza to pełny zakres temperatury otoczenia)

Parametry		Wartość		Jednostki	Warunki pomiaru	Układ pomiarowy	
Nazwa	Symbol	min	typ ¹⁾ max				
Napięcie wejściowe w stanie niskim	U_{IL}	0,8		[V]			
Napięcie wejściowe w stanie wysokim	U_{IH}	2		[V]			
Ujemne napięcie wejściowe	$-U_I$	1,5		[V]	$U_{CC} = 4,75 \text{ V}$ $I_I = -12 \text{ mA}$ $t_{amb} = 25^\circ\text{C}$	G	
Prąd wejściowy w stanie niskim	I_{IL}	-1,6		[mA]	$U_{CC} = 5,25 \text{ V}$ $U_I = 0,4 \text{ V}$	C	
Prąd wejściowy w stanie wysokim	I_{IH}	40		[μA]	$U_{CC} = 5,25 \text{ V}$; $U_I = 2,4 \text{ V}$	D	
		1		[mA]	$U_{CC} = 5,25 \text{ V}$; $U_I = 5,5 \text{ V}$		
Napięcie wyjściowe w stanie niskim	U_{OL}	0,2	0,4	[V]	$I_{OL} = 16 \text{ mA}$ $U_{CC} = 4,75 \text{ V}$	A	
Prąd wyjściowy w stanie niskim	I_{OL}	16		[mA]	$U_{OL} \leq 0,4 \text{ V}$ $U_I = 2 \text{ V}$		
Napięcie wyjściowe w stanie wysokim	U_{OH}	2,4	3,4	[V]	$I_{OH} = -800 \mu\text{A}$ $U_{CC} = 4,75 \text{ V}$	B	
Prąd wyjściowy w stanie wysokim	I_{OH}	-800		[μA]	$U_{OH} \geq 2,4 \text{ V}$ $U_I = 0,8 \text{ V}$		
Zwarciovyy prąd wyjściowy ²⁾	I_{OS}	-18	-55	[mA]	$U_{CC} = 5,25 \text{ V}$ $U_I = 0 \text{ V}$	E	
Prąd zasilania w stanie niskim	UCA6400N UCY7400N	I_{CCL}	12 22		[mA]	$U_{CC} = 5,25 \text{ V}$ $U_I = 5 \text{ V}$	F
	UCA6410N UCY7410N		9 16,5				
	UCA6420N UCY7420N		6 11				
	UCA6430N UCY7430N		3 6				
Prąd zasilania w stanie wysokim	UCA6400N UCY7400N	I_{CCH}	4 8		[mA]	$U_{CC} = 5,25 \text{ V}$ $U_I = 0 \text{ V}$	F
	UCA6410N UCY7410N		3 6				
	UCA6420N UCY7420N		2 4				
	UCA6430N UCY7430N		1 2				

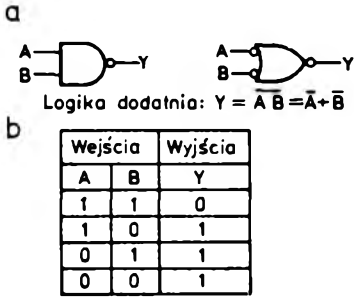
¹⁾ Wartości typowe podane są przy $U_{CC} = 5 \text{ V}$, $t_{amb} = 25^\circ\text{C}$

²⁾ Jednocześnie może być zwarte nie więcej niż jedno wyjście

2.1.1.2. Typowe zastosowania bramek I-NIE z wyjściem przeciwnym

Bramki I-NIE spełniają funkcję negacji iloczynu zmiennych wejściowych. Symbole graficzne i tabelę wartości dwuwejściowej bramki I-NIE pokazano na (rys. 2.1). Bramki I-NIE mają podwójne oznaczenia wynikające z praw de Morgana, zgodnie

zastosować jedno z rozwiązań przedstawionych na rysunku 2.2, uzyskując układ I-NIE o maksymalnej liczbie 16 wejść (rys. 2.2a) lub 64-wejściowy układ realizujący funkcję I-NIE (rys. 2.2b).



Rys. 2.1. Dwuwejściowa bramka I-NIE

a — symbole graficzne, b — tabela wartości

z którymi funkcję dwuwejściowej bramki można zapisać w następujący sposób:

$$Y = \overline{AB} = \overline{A+B}$$

Układy o zwiększonej liczbie wejść realizujące funkcję I-NIE.

Bramki I-NIE mają najczęściej maksimum 8 wejść. Jeżeli wymagana jest większa liczba wejść, to można

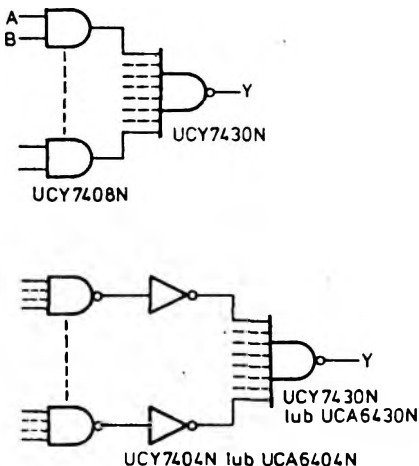
Układy realizujące inne funkcje logiczne

Bramki I-NIE można stosować w układach realizujących inne funkcje logiczne. Przykłady realizacji różnych funkcji z zastosowaniem bramek I-NIE podano w tabelcy 2.1. Przedstawione przykłady ilustrują sposoby realizacji różnych funkcji i mogą być przystosowane do konkretnych wymagań w zakresie liczby wejść, czasu propagacji i innych parametrów.

Układy formujące impulsy. Układy wyzwalające

Układy wytwarzające krótki impuls w odpowiedzi na zbocze sygnału wejściowego są określane jako układy wyzwalające. W układach tego typu nie występują elementy o ujemnej rezystancji, ani dodatnie sprzężenia zwrotne i dlatego czas trwania impulsów wyjściowych nie może być dłuższy od czasu trwania impulsów wejściowych.

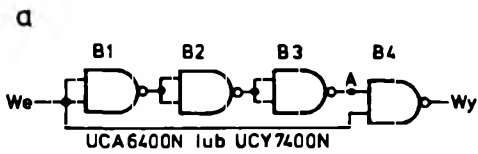
Zasada pracy tych układów polega na wprowadzeniu opóźnienia, powodującego chwilowe podtrzymanie stanu wysokiego (1) na wejściu bramki I-NIE, który to stan przy jednoczesnym wystąpieniu na drugim wejściu tej bramki stanu wysokiego (1) umożliwia wytworzenie krótkiego impulsu wyjściowego. Na rysunku 2.3 przedstawiono układ wytwarzający ujemny impuls w odpowiedzi na dodatnie zbocze przebiegu wejściowego. W układzie tym, w wyniku zmiany stanu z niskiego na wysoki na wejściu wystąpi przez krótki czas stan wysoki (1) na obu wejściach bramki B4 powodując wystąpienie ujemnego impulsu na wyjściu układu. Szerokość impulsu wyjściowego określa opóźnienie sygnału wejściowego, wprowadzone przez trzy bramki I-NIE (B1, B2 i B3). Zwiększenie czasu trwania impulsu wyjściowego można uzyskać dodając parzystą liczbę bramek wprowadzających opóźnienie. Bramki opóźniające (B1, B2 i B3) można zastąpić inwerterami UCA6404N lub UCY7404N. Inny układ wytwarzający krótki ujemny impuls związany czasowo z narastającym zboczem przebiegu wejściowego pokazano na rysunku 2.4.



Rys. 2.2. Układy realizujące funkcję I-NIE o zwiększonej liczbie wejść

PRZYKŁADY REALIZACJI FUNKCJI LOGICZNYCH PRZY ZASTOSOWANIU BRAMEK I - NIE Z WYJŚCIEM PRZECIWSOBNYM

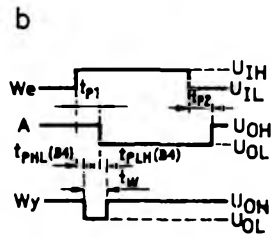
Funkcja		Schemat logiczny
Nazwa	Zapis	
I	$Y = ABC$	
	$Y = ABCDEFGH$	
LUB	$Y = A + B$	
	$Y = A + B + C + D$	
NIE	$Y = \bar{A}$	
	$Y = \bar{A}$	
I - LUB	$Y = AB + CD$	
LUB - I	$Y = (A + B)(C + D)$	
WYŁĄCZNIK - LUB	$Y = \bar{A}\bar{B} + \bar{A}B$	
	$Y = A\bar{B} + \bar{A}B$	
WYŁĄCZNIK - NIE - LUB	$Y = AB + \bar{A}\bar{B}$	
	$Y = AB + \bar{A}\bar{B}$	



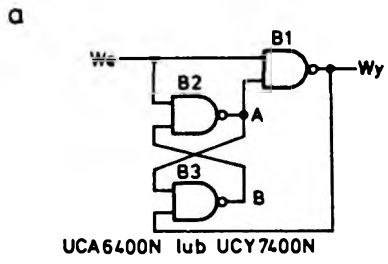
$$t_{p1} = t_{PHL}(B1) + t_{PLH}(B2) + t_{PHL}(B3)$$

$$t_p = t_{PHL}(B1) + t_{PHL}(B2) + t_{PHL}(B3)$$

$$t_w = t_{p1} - t_{PHL}(B4) + t_{PLH}(B4)$$



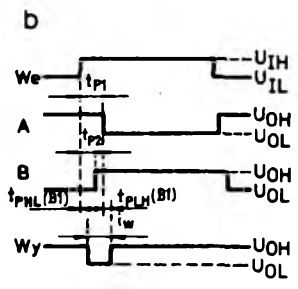
Rys. 2.3
Układ wytwarzający krótki ujemny impuls w odpowiedzi na narastające zbocze przebiegu wejściowego
a — schemat logiczny, b — przebiegi w charakterystycznych punktach układu



$$t_{p1} = t_{PHL}(B1) + t_{PLH}(B3) + t_{PHL}(B2)$$

$$t_{p2} = t_{PHL}(B1) + t_{PLH}(B3)$$

$$t_w = t_{p1} + t_{PLH}(B1) - t_{PHL}(B1)$$



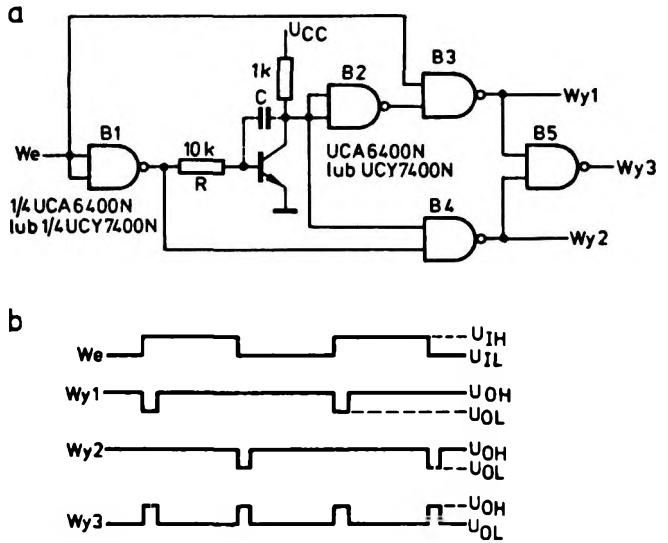
Rys. 2.4
Układ wytwarzający krótki ujemny impuls, związany czasowo z narastającym zboczem przebiegu wejściowego
a — schemat logiczny, b — przebiegi w charakterystycznych punktach układu

Wystąpienie na wejściu układu impulsu dodatniego spowoduje utrzymanie przez krótki czas stanu wysokiego (1) na obu wejściach B1. W tym czasie na wyjściu tej bramki wystąpi stan niski (0). Czas trwania stanu niskiego na wyjściu układu jest równy sumie czasów propagacji trzech bramek I-NIE. Czas trwania impulsu wyjściowego wynosi: $t_w = t_{PLH}(B1) + t_{PHL}(B2) + t_{PLH}(B3)$, a więc zależy od czasu propagacji użytych bramek. Ponieważ w procesie kontroli parametrów dynamicznych sprawdza się tylko czy czasy propagacji bramek nie przekraczają wartości maksymalnych, należy więc spodziewać się znacznych zmian czasu trwania impulsów wyjściowych, uzależnionych od wartości tego parametru dla użytych egzemplarzy bramek. Jeżeli wymagane jest aby czas trwania impulsów wyjściowych był kontrolowany w określonych granicach, to można zastosować układ przedstawiony na rysunku 2.5. W układzie tym zamiast jednej bramek zastosowano tranzystorowy stopień opóźniający. Przy dołączonej pojemności C układ tranzystorowy zachowuje się jak integrator Millera i opóźnienie przezeń wprowadzone może być kontrolowane przez odpowiedni dobór elementów RC. W układzie tym uzyskuje się impulsy wyjściowe związane czasowo z narastającymi i opadającymi zboczami przebiegu wejściowego. Czas trwania im-

pulsów związanych z narastającym zboczem sygnału wejściowego jest sumą opóźnienia wnoszonego przez tranzystorowy stopień opóźniający i dwie bramki I-NIE (B1 i B2), natomiast czas trwania impulsów związanych z opadającym zboczem przebiegu wejściowego jest określony tylko opóźnieniem stopnia tranzystorowego.

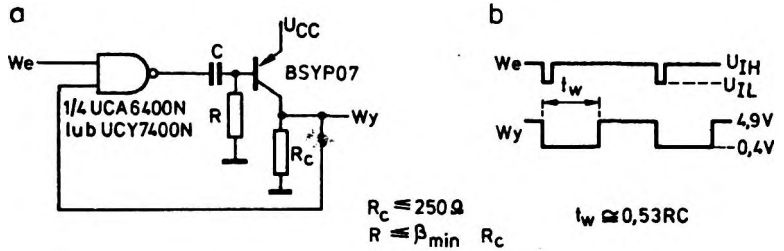
Przerzutniki monostabilne

Układy wyzwalające wytwarzają impulsy, których czas trwania nie może być dłuższy od czasu trwania impulsów wejściowych. Przerzutniki monostabilne, dzięki wprowadzeniu pętli dodatniego sprzężenia zwrotnego, mogą wytwarzać impulsy o określonym czasie trwania, niezależnym od parametrów przebiegu wejściowego. Czas trwania impulsów wyjściowych jest określony przez stałą czasową RC. Układy UCA64121N lub UCY74121N i UCA64123N lub UCY74123N zawierają scalone przerzutniki monostabilne. W niektórych urządzeniach można również stosować przerzutniki monostabilne zbudowane z bramek I-NIE oraz tranzystorów opisanych dalej. W układzie przedstawionym na rysunku 2.6 czas trwania impulsów wyjściowych wynosi $t_w \cong 0,53 RC$. Jeśli obciążenie układu stanowi jedna bramka TTL serii



Rys. 2.5
Układ wytwarzający impulsy związane czasowo z narastającymi i opadającymi zboczami przebiegu wejściowego

a — schemat ideowy, b — przebiegi na wejściu i wyjściach



Rys. 2.6
Przerzutnik monostabilny

a — schemat ideowy, b — przebiegi na wejściu i wyjściu

standardowej, to maksymalna wartość rezystancji R_c powinna wynosić:

$$R_{c \max} = \frac{U_{IL \max}}{2 \cdot I_{I \max}} = \frac{0,8 \text{ V}}{0,0032 \text{ A}} = 250 \Omega$$

Aby zapewnić stabilną pracę przerzutnika tranzystor BSYP07 musi być w stanie przewodzenia z nasyceniem, co z kolei ogranicza maksymalną wartość R zgodnie z zależnością

$$R \leq \beta_{\min} \cdot R_c$$

Charakterystyczną cechą opisanego układu przerzutnika monostabilnego jest zbliżona do wartości napięcia zasilania amplituda impulsów wyjściowych. Jeżeli wymagana jest większa stałość czasu trwania impulsu wyjściowego, to można zastosować układ przedstawiony na rysunku 2.7. Minimalna wartość rezystancji R_1 jest określona zależnością:

$$R_{1 \min} = \frac{U_{CC} - U_{OL \max} - 0,7}{I_{O1 \max}}$$

Maksymalna wartość rezystancji R_1 jest ograniczona dopuszczalnym czasem powrotu t_R . Po powrocie do

stanu stabilnego przerzutnika następuje ładowanie pojemności C przez przewodzące złącze baza-emiter tranzystora i rezystor R_1 . Wartość rezystancji R_1 należy dobrać biorąc pod uwagę wymaganą wartość czasu powrotu i jednocześnie konieczność ograniczenia mocy zasilania. Maksymalny prąd płynący w obwodzie kolektora tranzystora wynosi:

$$I_c = \frac{U_{CC}}{R_c} + I_{IL} = 6,6 \text{ mA}$$

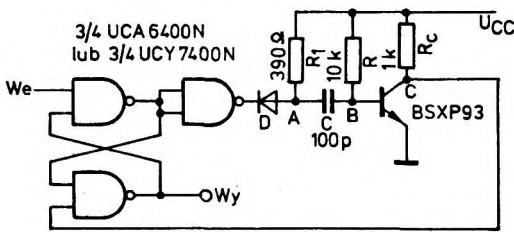
Zakładając minimalną wartość współczynnika wzmocnienia prądowego β_{\min} , można określić minimalny prąd bazy i maksymalną wartość rezystancji R według zależności:

$$R_{\max} = \frac{U_{CC} - U_{BE}}{I_{B \min}} = \frac{(U_{CC} - U_{BE}) \beta_{\min}}{I_c} \approx 26 \text{ k}\Omega$$

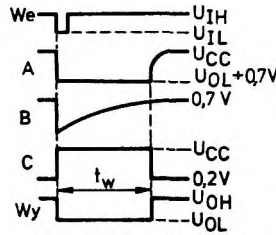
Czas trwania impulsu wyjściowego określa zależność: $t_w \approx 0,69 RC$

Dla elementów podanych na rysunku 2.7 czas trwania impulsu wyjściowego wynosi: $t_w \approx 0,7 \mu\text{s}$. Zastosowanie diody D ma na celu kompensację wpływu zmian napięcia baza-emiter tranzystora (U_{BE}) w funk-

a



b



Rys. 2.7
Przerzutnik monostabilny o zwiększonej stałości czasu trwania impulsu wyjściowego

a — schemat ideowy,
b — przebiegi w charakterystycznych punktach układu

cji temperatury na czas trwania impulsu wyjściowego. Układ charakteryzuje się dobrą stałością czasu trwania impulsu wyjściowego przy zmianach temperatury otoczenia i napięcia zasilania.

pięć progowe dla zbocza narastającego wynosi $U_{T+} = 1,4 \text{ V}$ i dla zbocza opadającego $U_{T-} = 0,7 \text{ V}$. W przypadku układu przedstawionego na rysunku 2.9 wartość napięcia progowego dla zbocza narastającego wynosi $U_{T+} = 2,1 \text{ V}$, a dla zbocza opadającego $U_{T-} = 1,4 \text{ V}$.

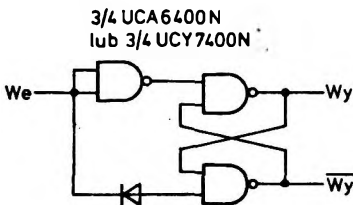
Układy przerzutników Schmitta

Układy przerzutników Schmitta są najczęściej stosowane aby uzyskać zwiększenie stromości zboczy przebiegów wejściowych urządzeń lub systemów cyfrowych. Monolityczny układ scalony UCA64132N lub UCY74132N zawiera cztery dwuwejściowe bramki I-NIE z przerzutnikiem Schmitta na wejściu. Jeżeli jednak zachodzi potrzeba użycia bramek I-NIE (UCA6400N lub UCY7400N) w układach realizujących funkcję przerzutnika Schmitta, to można zastosować jeden z układów przedstawionych na rysunku 2.8 i 2.9. Oba układy charakteryzują się zbliżoną wartością napięcia histerezy (około 0,7 V). W przypadku układu przedstawionego na rysunku 2.8 na-

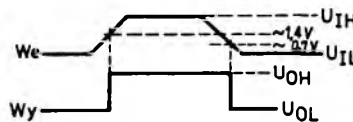
Układy astabilne

Na rysunku 2.10 przedstawiono schemat ideowy symetrycznego przerzutnika astabilnego z możliwością kluczowania. Kluczowanie przerzutnika odbywa się przez przyłożenie napięcia U_{IH} lub U_{IL} na drugie wejście bramki B1. Stan niski na wejściu kluczowania oznacza zablokowanie układu, natomiast stan wysoki oznacza pracę układu jako przerzutnika astabilnego. Dla $R_1 = R_2 = R$ i $C_1 = C_2 = C$ wartość częstotliwości generowanej wynosi $f = \frac{1}{2RC}$. Na rysunku 2.11 przedstawiono schemat ideowy generatora klu-

a



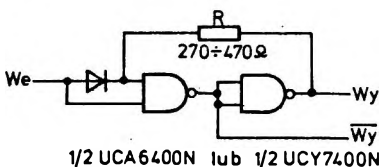
b



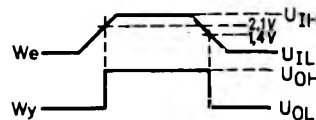
Rys. 2.8
Układ realizujący funkcję przerzutnika Schmitta

a — schemat ideowy,
b — przebiegi na wejściu i wyjściu układu

a



b



Rys. 2.9
Układ realizujący funkcję przerzutnika Schmitta

a — schemat ideowy, b — przebiegi na wejściu i wyjściu układu

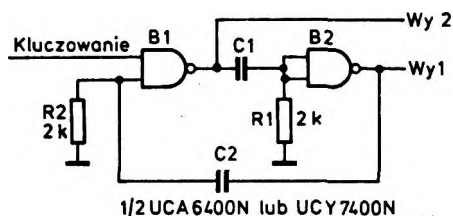
czowanego. Zmiana stanu z wysokiego na niski na wejściu kluczowania oznacza start generatora z opóźnieniem równym czasowi propagacji do stanu niskiego na wyjściu dwu bramek I-NIE (ok. 15 ns). Zmiana stanu z niskiego na wysoki na wejściu kluczowania oznacza blokadę układu, jeżeli na wyjściu układu jest stan wysoki. Gdy zmiana stanu z niskiego na wysoki na wejściu kluczowania wystąpiła w czasie generowania ujemnego impulsu wyjściowego, to zablokowanie układu nastąpi po zakończeniu pełnego czasu trwania ujemnego impulsu wyjściowego i wystąpieniu stanu wysokiego na wyjściu. Częstotliwość drgań układu można zmienić przez zmianę pojemności C (tablica 2.2).

Inną grupę układów astabilnych stanowią generatory

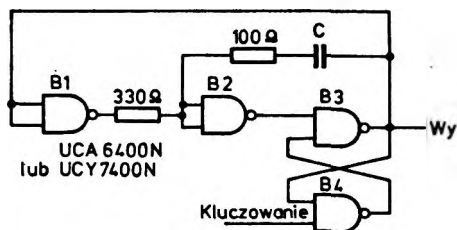
Tablica 2.2

Pojemność C	Częstotliwość drgań
200 pF	5 MHz
1600 pF	1 MHz
0,018 μ F	100 kHz
0,18 μ F	10 kHz

budowane z bramek zlinearyzowanych. Bramka I-NIE ze sprzężeniem pokazana na rysunku 2.12 stanowi wzmacniacz liniowy o przesunięciu fazowym 180° . Charakterystykę przejściową bramki ze sprzężeniem zwrotnym pokazano na rysunku 2.12b. Jest to charakterystyka liniowa, w odróżnieniu od nieliniowej charakterystyki przejściowej bramki bez sprzężenia zwrotnego. Dwie bramki zlinearyzowane połączone szeregowo stanowią wzmacniacz liniowy o przesunięciu fazowym 360° . Jeżeli następnie wyjście wzmacniacza zostanie połączone dla prądu zmiennego

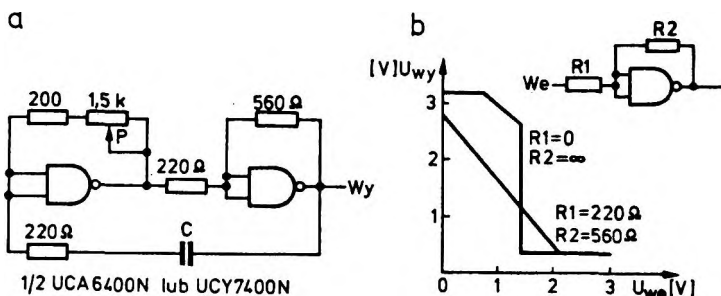


Rys. 2.10. Schemat ideowy symetrycznego przerzutnika astabilnego

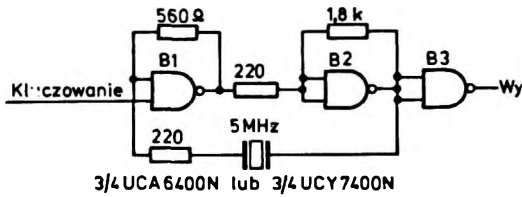


Rys. 2.11. Schemat ideowy generatora z możliwością synchronicznego kluczowania

z wejściem, to powstanie układ astabilny. Częstotliwość generacji w układzie z rys. 2.12 można zmieniać skokowo przez zmianę pojemności C oraz płynnie, za pomocą potencjometru P . Dla pojemności $C = 2 \mu$ F zakres częstotliwości generowanych wynosi $0,1 \div \pm 2$ MHz. Maksymalna częstotliwość generowana w tego typu układzie wynosi około 12 MHz. Jeżeli w pętli dodatniego sprzężenia zwrotnego zamiast kondensatora zastosujemy rezonator kwarcowy, to otrzymany układ będzie miał częstotliwość stabilizowaną tym rezonatorem. Przykłady generatorów ze

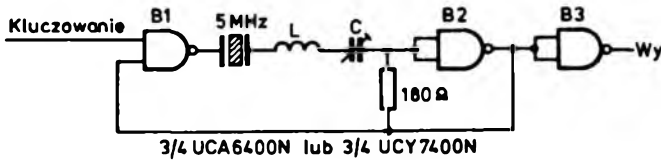


Rys. 2.12
Schemat ideowy generatora ze zlinearyzowanymi bramkami
a — schemat ideowy,
b — charakterystyka bramki zlinearyzowanej



Rys. 2.13. Układ generatora stabilizowanego rezonatorem kwarcowym

stabilizacją częstotliwości za pomocą rezonatora kwarcowego pokazano na rysunkach 2.13 i 2.14. Dla niektórych typów rezonatorów układ może mieć tendencje do wzbudzeń na częstotliwościach harmonicznych. Aby wyeliminować tę wadę w układzie na rysunku 2.14 zastosowano indukcyjność L i pojemność C połączone szeregowo z rezonatorem. W układzie tym pojemność może być jednocześnie wykorzystana do dostrojenia generatora do częstotliwości nominalnej.



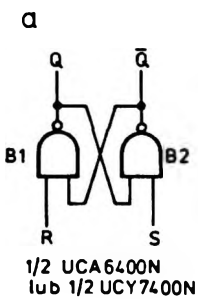
Rys. 2.14. Układ generatora kwarcowego z zabezpieczeniem przed wzbudzaniem na częstotliwości harmonicznej

Przerzutniki

Przerzutniki RS

Łącząc bramki I-NIE (rys. 2.15) otrzymujemy asynchroniczny przerzutnik RS w najprostszej postaci. Do budowy tego typu przerzutników można użyć bramek I-NIE o liczbie wejść uzależnionej od tego ile wejść sterujących jest wymagane. Działanie układu

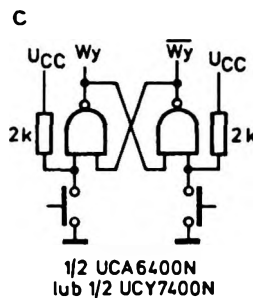
określa tabela stanów (rys. 2.15b). Stan $R = 0$ i $S = 0$ jest zabroniony, ponieważ wówczas $Q = \bar{Q} = 1$, a taki stan jest sprzeczny z działaniem elementu dwustanowego. Na rysunku 2.15c przedstawiono modyfikację przerzutnika RS jako układu pamiętającego informację wprowadzoną za pomocą zestyków zwiernych.



b Tabela stanów

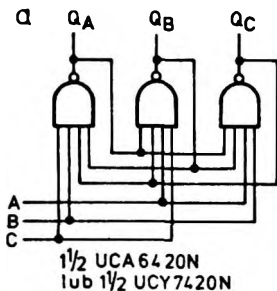
Wejścia		Wyjścia	
R	S	Q	\bar{Q}
0*	0*	1*	1*
0	1	1	0
1	0	0	1
1	1	Poprzednio istniejący stan	

* Stan niedozwolony



Rys. 2.15 Przerzutnik RS zbudowany z bramek I-NIE

a — schemat logiczny, b — tabela stanów, c — sterowanie przerzutnika za pomocą zestyków zwiernych



b Tabela stanów

Wejścia			Wyjścia		
A	B	C	QA	QB	QC
⌊	1	1	0	1	1
1	⌊	1	1	0	1
1	1	⌊	1	1	0

Rys. 2.16 Asynchroniczny przerzutnik trójwejściowy

a — schemat logiczny, b — tabela stanów

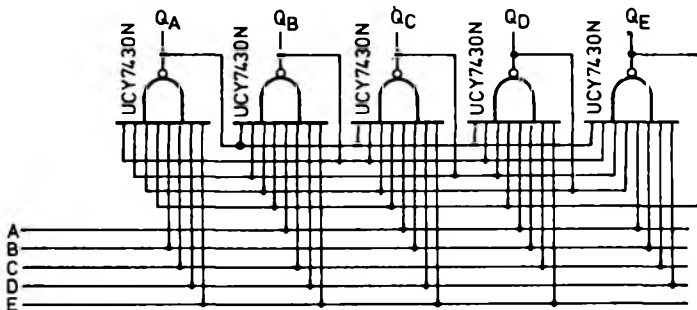


Tabela stanów

Wejścia					Wyjścia				
A	B	C	D	E	Q _A	Q _B	Q _C	Q _D	Q _E
1	1	1	1	1	0	1	1	1	1
1	1	1	1	1	1	0	1	1	1
1	1	1	1	1	1	1	0	1	1
1	1	1	1	1	1	1	1	0	1
1	1	1	1	1	1	1	1	1	0

Rys. 2.17. Asynchroniczny przerzutnik pięciowejściowy

a — schemat logiczny, b — tabela stanów

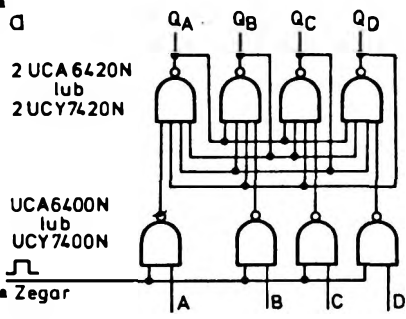


Tabela stanów

Wejścia				Wyjścia			
A	B	C	D	Q _A	Q _B	Q _C	Q _D
0	1	1	1	0	1	1	1
1	0	1	1	1	0	1	1
1	1	0	1	1	1	0	1
1	1	1	0	1	1	1	0

Rys. 2.18. Synchroniczny przerzutnik czterowejściowy

a — schemat logiczny, b — tabela zegar stanów

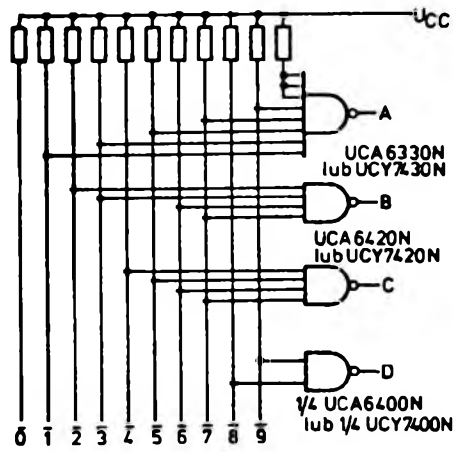
Przerzutniki wielowejściowe

Jednym z przykładów zastosowań bramek I-NIE są układy kombinacyjne o liczbie wejść większej niż 2 i liczbie wyjść większej niż 2 ze sprzężeniami zwrotnymi umożliwiającymi zapamiętanie informacji wejściowej. Dla określonego stanu wejść tylko jedno wyjście jest w stanie wyróżnionym. Układy tego typu są określane jako przerzutniki wielowejściowe i są realizowane jako asynchroniczne lub synchroniczne. W układach asynchronicznych zmiana stanu na wyjściu następuje natychmiast po zmianie stanów wejściowych, natomiast w układach synchronicznych zmiana stanów wyjściowych jest wprowadzana na wyjście w czasie trwania impulsu zegarowego. Na rysunkach 2.16 i 2.17 przedstawiono przerzutniki asynchroniczne trójwyjściowe i pięciowejściowe. Natomiast na rysunku 2.18 przedstawiono przykład czterowejściowego przerzutnika synchronicznego.

Koder kodu dziesiętnego (1 z 10) na kod BCD8421

Często zachodzi konieczność wprowadzenia do urządzenia informacji z zewnątrz. Jeżeli informacja zewnętrzna jest wyrażona w kodzie dziesiętnym (1 z 10),

natomiast stosowanym kodem wewnętrznym urządzenia lub systemu cyfrowego jest kod BCD, zachodzi konieczność przekształcenia informacji z kodu dziesiętnego na kod BCD. Na rysunku 2.19 podano przykład układu przekształcającego informacje w kodzie dziesiętnym (1 z 10) z aktywnym 0 na kod BCD.



Rys. 2.19. Schemat ideowy koderu kodu dziesiętnego (1z 10) na kod BCD 8421.