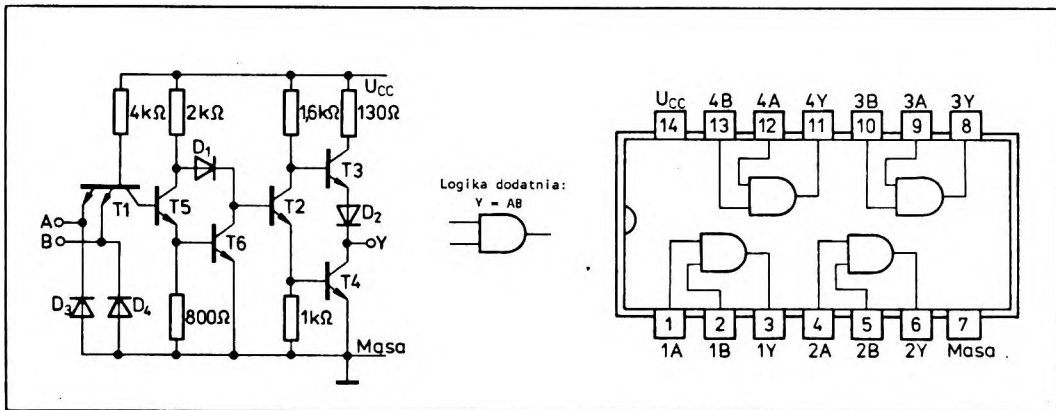


2.1.5.1. Czterokrotne dwuwęjsiowe bramki I z wyjściem przeciwsobnym: UCY7408N



Monolityczny układ scalony UCY7408N zawiera cztery dwuwęjsiowe bramki realizujące funkcję iloczynu zmiennych wejściowych. Wprowadzając do układu bramki I-NIE dodatkowy stopień realizujący inwersję uzyskuje się bramkę I. Stopień pośredni z tranzystorami T5 i T6 wprowadza dodatkową negację, umożliwiając w ten sposób bezpośrednią realizację funkcji iloczynu zmiennych wejściowych.

Jeżeli na jednym lub obu wejściach bramki wystąpi stan niski (0), to tranzystor T1 przewodzi z nasyceniem, a odcięte są tranzystory T5 i T6. W tej sytuacji przewodzą z nasyceniem tranzystory T2 i T4 i na wyjściu wystąpi stan niski (0). Jeżeli natomiast na obu wejściach bramki wystąpi stan wysoki (1), to złącza baza-emiter tranzystora T1 będą spolaryzowane

zaporowo. Od źródła zasilania U_{CC} przez rezystor 4 kΩ i złącze baza-kolektor tranzystora T1 (obszar pracy inwersyjnej) popłynie prąd do bazy tranzystora T5, powodując przewodzenie z nasyceniem tranzystorów T5 i T6. W takiej sytuacji tranzystor T2 będzie odcięty, a tranzystor T3 pracuje jako wtórnik emite- rowy przy jednoczesnym odcięciu tranzystora T4. Na wyjściu wystąpi stan wysoki (1). Wprowadzenie dodatkowej negacji w postaci stopnia z tranzystorami T5 i T6 powoduje zwiększenie czasu opóźnienia propagacji sygnału oraz wzrost prądu zasilania bramek I w stosunku do bramek I-NIE.

Układ UCY7408N jest produkowany w obudowie plastikowej A49B(CE70).

Wartości dopuszczalne parametrów

Parametry Nazwa	Symbol	Wartość		Jednostki
		min	max	
Napięcie zasilania	U_{CC}		7	V
Napięcie wejściowe	U_I		5,5	V
Ujemny prąd wejściowy	$-I_I$		12	mA
Zakres temperatury przechowywania	t_{110}	-55	125	°C

Zalecane warunki pracy

Parametry		Symbol	Wartość			Jednostki
			min	nom	max	
Napięcie zasilania		U_{CC}	4,75	5,0	5,25	V
Obciążalność	w stanie niskim	N_L	10			s.o.l.
	w stanie wysokim	N_H	20			
Obciążenie wnoszone przez wejście			1			
Zakres temperatury otoczenia		t_{amb}	0	70		°C

Parametry statyczne

(Jeżeli nie podano inaczej — w pełnym zakresie temperatury otoczenia)

Parametry		Wartość			Jedno- stki	Warunki pomiaru	Układ pomia- rowy
		min	typ ¹⁾	max			
Napięcie wejściowe w stanie niskim	U_{IL}	0,8		V			
Napięcie wejściowe w stanie wysokim	U_{IH}	2		V			
Ujemne napięcie wejściowe	$-U_I$	1,5		V	$U_{CC} = 4,75 \text{ V}$ $I_I = -12 \text{ mA}$ $t_{amb} = 25^\circ\text{C}$	G	
Prąd wejściowy w stanie niskim	I_{IL}	-1,6		mA	$U_{CC} = 5,25 \text{ V}$ $U_I = 0,4 \text{ V}$	C	
Prąd wejściowy w stanie wysokim	I_{IH}	40		μA	$U_{CC} = 5,25 \text{ V}$; $U_I = 2,4 \text{ V}$	D	
		1		mA	$U_{CC} = 5,25 \text{ V}$; $U_I = 5,5 \text{ V}$		
Napięcie wyjściowe w stanie niskim	U_{OL}	0,2	0,4	V	$I_{OL} = 16 \text{ mA}$	A	
Prąd wyjściowy w stanie niskim	I_{OL}	16		mA	$U_{OL} \leq 0,4 \text{ V}$ $U_I = 0,8 \text{ V}$		
Napięcie wyjściowe w stanie wysokim	U_{OH}	2,4	3,4	V	$I_{OH} = -800 \mu\text{A}$	B	
Prąd wyjściowy w stanie wysokim	I_{OH}	-800		μA	$U_{OH} \geq 2,4 \text{ V}$ $U_I = 2 \text{ V}$		
Zwarciovyy prąd wyjściowy ²⁾	I_{OS}	-18	-55	mA	$U_{CC} = 5,25 \text{ V}$ $U_I = 4,5 \text{ V}$	E	
Prąd zasilania w stanie	niskim	I_{CCL}	20	33	mA	$U_I = 0 \text{ V}$ $U_{CC} = 5,25 \text{ V}$	G
	wysokim	I_{CCN}	11	21			

¹⁾ Wartości typowe podane są przy $U_{CC} = 5 \text{ V}$, $t_{amb} = 25^\circ\text{C}$
²⁾ Jednocześnie może być zwarte nie więcej niż jedno wyjście

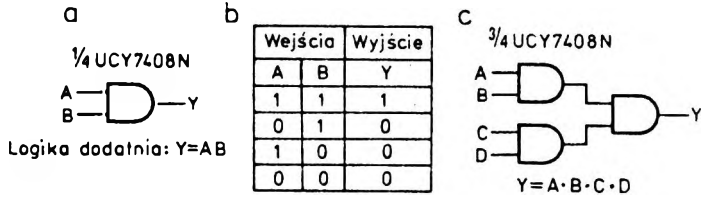
Parametry dynamiczne przy $U_{CC} = 5 \text{ V}$, $t_{amb} = 25^\circ\text{C}$

Parametry		Wartość		Jednostki	Warunki pomiaru	Układ pomiarowy
Nazwa	Symbol	typ	max			
Czas propagacji sygnału do stanu niskiego na wyjściu	t_{PHL}	12	19	ns	$R_\alpha = 400 \Omega$	I
Czas propagacji sygnału do stanu wysokiego na wyjściu	t_{FLR}	17	27			

2.1.5.2. Typowe zastosowania bramek I z wyjściem przeciwsobnym

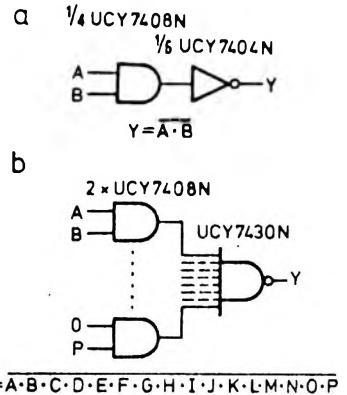
Rys. 2.80
Układy realizujące funkcję I (iloczynu logicznego)

a – symbol graficzny dwuwęściowej bramki I, b – tabela wartości dwuwęściowej bramki I, c – układ realizujący funkcję czterowęściowej bramki I



Funkcję iloczynu logicznego można uzyskać wprowadzając inwersję na wyjściu bramki I–NIE. Ze względu na zwiększony czas propagacji sygnału dwóch szeregowo połączonych elementów logicznych oraz trudności wynikające ze zwiększenia liczby użytych układów i połączeń zewnętrznych przy takiej realizacji funkcji iloczynu, wprowadzono do produkcji układ UCY7408N zawierający bramki realizujące bezpośrednio tę funkcję. Symbol graficzny i tabelę wartości dwuwęściowej bramki I przedstawiono na rys. 2.80.

Jeżeli zachodzi potrzeba realizacji funkcji iloczynu więcej niż dwóch zmiennych, to można zastosować układ przedstawiony na rys. 2.80c. Bramki I mogą być również stosowane do realizacji innych funkcji logicznych. Przykłady realizacji funkcji I–NIE, I·UB–NIE oraz I–LUB–NIE, pokazano na rys. 2.81 do 2.83. W układzie pokazanym na rys. 2.81b można zrealizować funkcję negacji iloczynu szesnastu zmiennych wejściowych. W układzie z rys. 2.83a można uzyskać funkcję negacji dwóch sum czterowęściowych iloczynów. Jeżeli zachodzi potrzeba zwiększenia

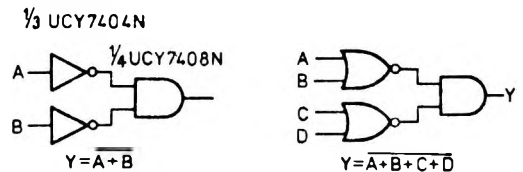


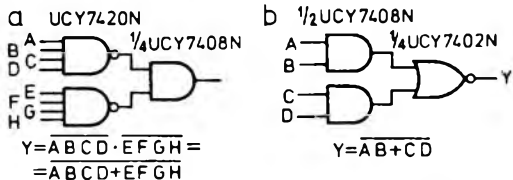
Rys. 2.81. Układy realizujące funkcję I–NIE (negacji iloczynu)

a – układ dwuwęściowy, b – układ szesnastowęściowy

Rys. 2.82. Układy realizujące funkcję LUB–NIE (negacji sumy)

a – układ dwuwęściowy, b – układ czterowęściowy





Rys. 2.83. Układy realizujące funkcję I-LUB-NIE (negacji sumy iloczynów)

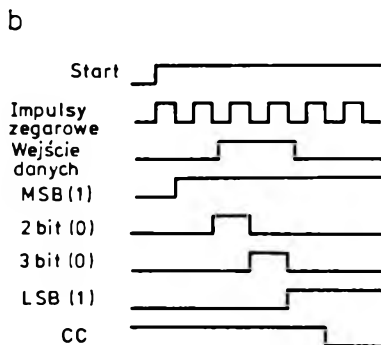
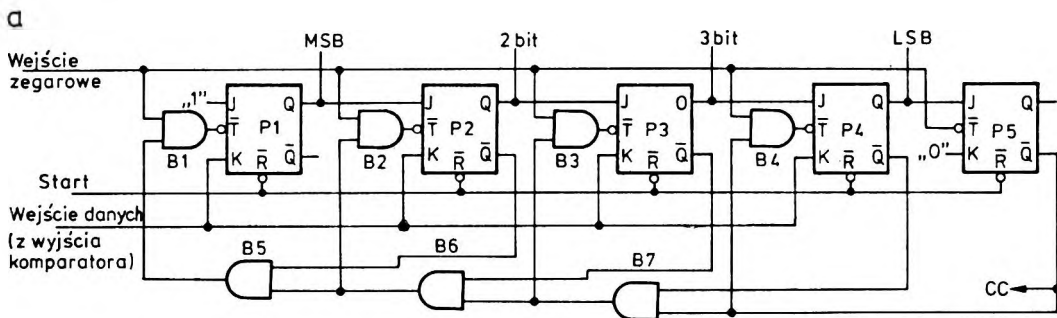
liczby wejść iloczynu, to zamiast bramek cztero-wejściowych UCY7420N można zastosować dwie ośmiowejściowe bramki UCY7430N.

Rejestr aproksymacyjny

W układach przetwarzania analogowo-cyfrowego metodą kolejnych porównań stosowane są rejestry aproksymacyjne. Na rysunku 2.84a pokazano przykład czterobitowego rejestru aproksymacyjnego zbudowanego z łańcucha przerzutników JK i bramek I. Po zakończeniu impulsu zerującego wszystkie wejścia kaskody bramek I są w stanie wysokim (1) i impulsy zegarowe są przyłożone do wejść taktujących wszystkich przerzutników. Układ jest przygotowany do procesu przetwarzania. Pierwszy impuls zegarowy wpisuje stan wysoki (1) na wyjście Q pierwszego prze-

rzutnika (P1), będące jednocześnie wejściem pierwszego bitu przetwornika cyfrowo-analogowego. Pierwszy impuls nie zmienia stanu pozostałych przerzutników, ponieważ na wejściach 3 tych przerzutników występuje stan niski (0). Nowy stan na wejściu przetwornika C/A jest porównywany z napięciem przetwarzanym przez komparator. Jeżeli przetwarzane napięcie jest większe od napięcia podstawionego z wyjścia przetwornika C/A, to na wyjściu komparatora wystąpi stan niski (0).

Drugi impuls zegarowy zmieni ponownie stan przerzutnika P1 tylko wtedy, gdy na wyjściu komparatora (wejścia danych) będzie występował stan wysoki. Jednocześnie drugi impuls zegarowy wpisuje stan wysoki na wyjście Q drugiego przerzutnika (P2) powodując zablokowanie taktowania pierwszego przerzutnika przez wprowadzenie stanu niskiego na wejście bramki B5 i B1. W ten sposób ustalono stan w pozycji najbardziej znaczącego bitu. Jeżeli po drugim impulsie zegarowym na wyjściu komparatora wystąpi stan wysoki (1), to trzeci impuls zmieni ponownie stan drugiego przerzutnika i wpisze stan wysoki (1) na wyjście Q trzeciego przerzutnika powodując zablokowanie taktowania dwóch pierwszych przerzutników przez wprowadzenie stanu niskiego na wejścia bramek B6, B5 i B1.



Rys. 2.84. Rejestr aproksymacyjny

a — schemat ideowy czterobitowego rejestru aproksymacyjnego, b — przebiegi ilustrujące sekwencje pracy rejestru aproksymacyjnego

W przypadku podanego przykładu czterobitowego rejestru aproksymacyjnego po piątym impulsie zegarowym stan wysoki jest przekazany na wyjście Q przerzutnika PS i następuje zablokowanie wszystkich wejść taktujących przerzutników. Stan ten oznacza zakończenie procesu przetwarzania.

W układach praktycznych stosuje się rejestr aproksymacyjny najczęściej od ośmiu do szesnastu bitów. Długość logiczną opisanego rejestru aproksymacyjnego można w prosty sposób zwiększyć [2, 4, 10]. Działanie opisanego rejestru aproksymacyjnego ilustrują przebiegi przedstawione na rys. 2.84b.