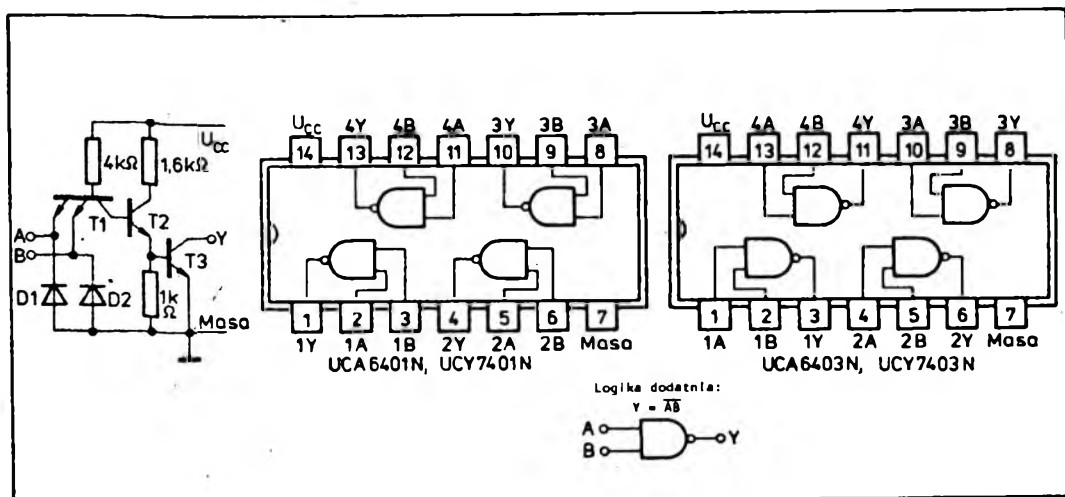


2.1.1.3. Czterokrotne dwuwejściowe bramki I-NIE z otwartym kolektorem tranzystora wejściowego: UCA6401N, UCA6403N, UCY7401N, UCY7403N



Każdy z monolitycznych układów scalonych: UCA6401N, UCA6403N, UCY7401N, UCY7403N zawiera cztery dwuwejściowe bramki I-NIE z otwartym obwodem kolektora tranzystora wyjściowego. Bramki wchodzące w skład tych układów różnią się od podstawowych bramek wchodzących w skład układów UCA6400N lub UCY7400N tym, że w stopniu wyjściowym zamiast układu przeciwsobnego zastosowano tranzystor z otwartym obwodem kolektora. Taka konfiguracja stopnia wyjściowego umożliwia równoległe łączenie wyjść kilku bramek dla realizacji funkcji tzw. iloczynu montażowego (*wire — AND*). Bramki te przy zastosowaniu rezystora

zewnętrznego R_L , włączonego między wyjście bramki a szynę napięcia zasilania U_{cc} , spełniają funkcję negacji iloczynu zmiennych wejściowych.

Bramki z otwartym obwodem kolektora tranzystora wyjściowego charakteryzują się zwiększonym czasem propagacji sygnału do stanu wysokiego na wyjściu w stosunku do bramek z wyjściem przeciwsobnym, ze względu na ładowanie pojemności obciążenia C_L przez rezystor R_L .

Układy UCA6401N, UCA6403N, UCY7401N, UCY7403N są produkowane w obwodach plastikowych A49B(CE70).

Wartości dopuszczalne parametrów

Parametry		Wartość		Jednostki
Nazwa	Symbol	min	max	
Napięcie zasilania	U_{cc}		7	V
Napięcie wejściowe	U_i		5,5	V
Napięcie wyjściowe ¹⁾	U_o		5,5	V
Ujemny prąd wejściowy	$-I_i$		12	mA
Zakres temperatury przechowywania	t_{110}	-55	125	°C

Zalecane warunki pracy

Parametry		Wartość			Jednostki		
		Nazwa	Symbol	min		nom	max
Napięcie zasilania			U_{CC}	4,75	5,0	5,25	V
Prąd wyjściowy w stanie niskim			I_{OL}	16			mA
Obciążenie wnoszone przez wejście				1			s.o.l.
Zakres temperatury otoczenia	UCA6401N UCA6403N	t_{amb}	-40	85		°C	
	UCY7401N UCY7403N		0	70			

Parametry statyczne

(Jeżeli nie podano inaczej — w pełnym zakresie temperatury otoczenia)

Parametry		Wartość		Jednostki	Warunki pomiaru	Układ pomiarowy	
		Nazwa	Symbol				min
Napięcie wejściowe w stanie niskim		U_{IL}	0,8		V		
Napięcie wejściowe w stanie wysokim		U_{IH}	2		V		
Ujemne napięcie wejściowe		$-U_I$	1,5		V	$U_{CC} = 4,75 \text{ V}$ $I_I = -12 \text{ mA}$ $t_{amb} = 25^\circ\text{C}$	G
Prąd wejściowy w stanie niskim		I_{IL}	-1,6		mA	$U_{CC} = 5,25 \text{ V}$ $U_I = 0,4 \text{ V}$	C
Prąd wejściowy w stanie wysokim		I_{IH}	40		μA	$U_{CC} = 5,25 \text{ V}$; $U_I = 2,4 \text{ V}$	D
			1		mA	$U_{CC} = 5,25 \text{ V}$; $U_I = 5,5 \text{ V}$	
Napięcie wyjściowe w stanie niskim		U_{OL}	0,2	0,4	V	$I_{OL} = 16 \text{ mA}$ $U_{CC} = 4,75 \text{ V}$	A
Prąd wyjściowy w stanie niskim		I_{OL}	16		mA	$U_{OL} \leq 0,4 \text{ V}$ $U_I = 2 \text{ V}$	
Prąd wyjściowy w stanie wysokim		I_{OH}	250		μA	$U_{CC} = 4,75 \text{ V}$ $U_O = 5,5 \text{ V}$ $U_I = 0,8 \text{ V}$	H
Prąd zasilania w stanie	niskim	I_{CCL}	12	22	mA	$U_I = 5 \text{ V}$	F
	wysokim	I_{CCN}	4	8		$U_I = 0 \text{ V}$	

Parametry dynamiczne przy $U_{CC} = 5V$, $t_{amb} = 25^{\circ}C$

Parametry		Wartość		Jednostki	Warunki pomiaru	Układ pomiarowy
Nazwa	Symbol	typ	max			
Czas propagacji sygnału do stanu niskiego na wyjściu	t_{pHL}	8	15	ns	$R_L = 400 \Omega$ $C_L = 15 \text{ pF}$	J
Czas propagacji sygnału do stanu wysokiego na wyjściu	t_{pLH}	35	45	ns	$R_L = 4 \text{ k}\Omega$ $C_L = 15 \text{ pF}$	

2.1.1.4. Typowe zastosowania bramek I-NIE z otwartym kolektorem tranzystora wyjściowego

Zastosowanie w stopniu wyjściowym bramki zamiast układu przeciwobnego tranzystora z otwartym obwodem kolektora umożliwia łączenie wyjść tych bramek i realizację funkcji tzw. iloczynu montażowego (*wire — AND*). Bramka I-NIE z otwartym obwodem kolektora i rezystorem zewnętrznym R_L włączonym między wyprowadzenie wyjścia bramki i szynę napięcia zasilania U_{CC} , realizuje funkcję negacji iloczynu zmiennych wejściowych $Y = \overline{AB}$ (rys. 2.20).

Określenie wartości rezystancji R_L

Wartość rezystancji R_L jest ograniczona od góry koniecznością spełnienia warunku $U_{OH\min} = 2,4 \text{ V}$, a od dołu warunkiem $U_{OL\max} = 0,4 \text{ V}$. Dla uogólnienia rozważań, mających na celu określenie wartości rezystora R_L przyjmujemy, że do węzła sieci logicznej z tym rezystorem dołączono N wejść bramek i n wyjść bramek (rys. 2.21). W obu stanach logicznych wartość rezystancji R_L określa zależność:

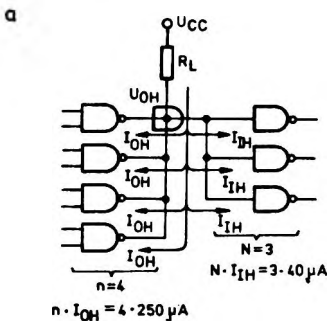
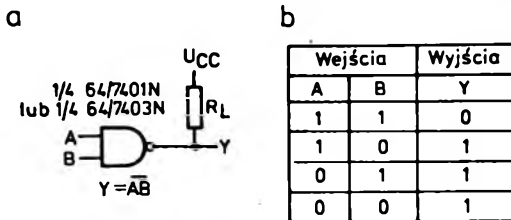
$$R_L = \frac{U_{RL}}{I_{RL}}$$

gdzie:

U_{RL} — wartość spadku napięcia na rezystorze R_L ,
 I_{RL} — wartość prądu płynącego w obwodzie tego rezystora.

Rys. 2.20. Układ realizujący funkcję I-NIE

a — schemat ideowy, b — tabela wartości

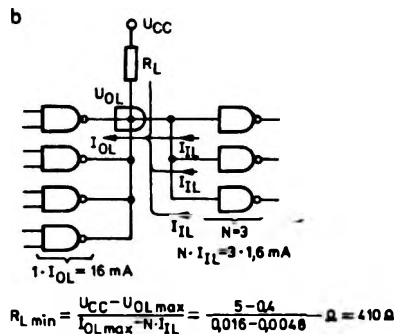


$$R_{L\max} = \frac{U_{CC} - U_{OH\min}}{n \cdot I_{OH} + N \cdot I_{iH}} = \frac{5 - 2,4}{0,001 \cdot 0,00012} \Omega = 2321 \Omega$$

Rys. 2.21

Rozpływ prądów w przykładowym fragmencie sieci logicznej bramek z otwartym obwodem kolektora tranzystora wyjściowego

a — w stanie wysokim (1) na wyjściu, b — w stanie niskim (0) na wyjściu



Określenie maksymalnej wartości rezystancji R_L

Dla określenia maksymalnej wartości R_L należy rozważyć przepływ prądu w stanie wysokim (1) na wyjściu (rys. 2.21a). W tym stanie wartość U_{RL} jest to różnica między wartością napięcia zasilania U_{CC} a minimalną wartością napięcia wyjściowego, czyli

$$U_{RL} = U_{CC} - U_{OHmin}$$

Wartość I_{RL} natomiast jest sumą prądów płynących do wejść i wyjść bramek, czyli

$$I_{RL} = n \cdot I_{OH} + N \cdot I_{IH}$$

tak więc maksymalna wartość rezystancji R_L jest określona zależnością:

$$R_{Lmax} = \frac{U_{CC} - U_{OHmin}}{n \cdot I_{OH} + N \cdot I_{IH}}$$

Dla fragmentu sieci logicznej przedstawionej na rys. 2.21, maksymalna wartość rezystancji R_L wynosi:

$$R_{Lmax} = \frac{U_{CC} - U_{OHmin}}{n \cdot I_{OH} + N \cdot I_{IH}} =$$

$$= \frac{5 - 2,4}{4 \cdot 250 \cdot 10^{-6} + 3 \cdot 40 \cdot 10^{-6}} \Omega =$$

$$= \frac{2,6}{1120 \cdot 10^{-6}} \Omega = 2321 \Omega$$

Określenie wartości minimalnej rezystancji R_L

Dla określenia minimalnej wartości rezystancji R_L , należy rozważyć przepływ prądów w stanie niskim (0) na wyjściu (rys. 2.21b). W tym stanie spadek napięcia na rezystancji R_L wyniesie

$$U_{RL} = U_{CC} - U_{OLmax}$$

W najbardziej niekorzystnym przypadku stan niski (0) na wyjściu będzie wymuszony tylko przez jedną bramkę przewodzącą prąd I_{OLmax} . W tej sytuacji maksymalna wartość prądu jaka może popłynąć przez rezystor R_L będzie wynosić

$$I_{RL} = I_{OLmax} - N \cdot I_{IL}$$

Tablica 2-3. Graniczne wartości R_L [Ω] dla bramek z otwartym kolektorem serii standardowej UCA64..., lub UCY74...

N \ n		Liczba równolegle połączonych wyjść bramek (n)								
		1	2	3	4	5	6	7		
Liczba wejść bramek obciążających (N)	1	8965	4814	3291	2500	2015	1688	1452	319	
	2	7878	4482	3132	2407	1954	1645	1420	359	
	3	7027	4193	2988	2321	1897	1604	1390	410	
	4	6341	3939	2857	2241	1843	1566	1361	479	
	5	5777	3714	2736	2166	1793	1529	1333	575	
	6	5306	3513	2626	2096	1744	1494	1306	718	
	7	4905	3333	2524	2031	1699	1460	1280	958	
	8	4561	3170	2429	1969	1656			1437	
	9	4262	3023	Połączenia niedopuszczalne						2875
	10	4000								4000 ¹⁾
		R_{Lmax}							R_{Lmin}	

¹⁾ Dla $N = 10$ wartość $R_{Lmin} = \infty$ (według zależności $R_{Lmin} = \frac{U_{CC} - U_{OLmax}}{I_{OLmax} - N \cdot I_{IL}}$), jednak zastosowanie rezystora $R_L = 4 \text{ k}\Omega$ zapewnia utrzymanie stanu niskiego (0) ograniczając poziom napięcia wyjściowego do wartości $U_{OL} = 0,43 \text{ V}$.

Wartość minimalna rezystancji R_L wyniesie:

$$R_{L\ min} = \frac{U_{CC} - U_{OL\ max}}{I_{OL\ max} - N \cdot I_{IL}}$$

Dla obwodu przedstawionego na rys. 2.21 minimalna wartość rezystancji R_L wyniesie

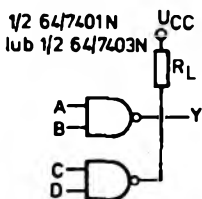
$$R_{L\ min} = \frac{U_{CC} - U_{OL\ max}}{I_{OL\ max} - N \cdot I_{IL}} = \frac{5 - 0,4}{0,016 - 3 \cdot 0016} = \frac{4,6}{0,012} = 410\ \Omega$$

Wartość minimalna rezystancji $R_{L\ min}$ nie zależy od liczby bramek, których wyjścia są połączone razem. Wynika to z przyjęcia założenia, że wartość prądu wyjściowego bramki w stanie wyłączonym przy napięciu U_{OL} jest do pominięcia. Wartości $R_{L\ min}$ i $R_{L\ max}$ dla $n = 1 \div 7$ bramek z otwartym kolektorem serii standardowej, obliczone według opisanych wyżej zależności przedstawia tabela 2.3. Możliwe są połączenia przy $n > 7$ dla wartości $R_{L\ min}$ i $R_{L\ max}$ obliczonych według przedstawionych wyżej zależności.

Nominalną wartość R_L należy wybrać spośród wartości $R_{L\ min} \leq R_L \leq R_{L\ max}$ biorąc pod uwagę z jednej strony wymagany czas narastania przebiegu wyjściowego, a z drugiej ograniczenia mocy zasilania. Dla uzyskania krótkiego czasu narastania przebiegu wyjściowego należy stosować wartości R_L bliskie $R_{L\ min}$, natomiast minimalną wartość mocy zasilania uzyskuje się stosując R_L bliskie $R_{L\ max}$. W przeprowadzonych rozważaniach przyjęto napięcie zasilania $U_{CC} = 5\ V$. Dla najgorszego przypadku należy do obliczania $R_{L\ max}$ podstawić wartość $U_{CC} = U_{CC\ min}$ oraz do obliczania $R_{L\ min}$ podstawić wartość $U_{CC} = U_{CC\ max}$.

Układy realizujące funkcje logiczne

Szczególnie łatwo i oszczędnie można realizować układy spełniające niektóre funkcje logiczne przy zastosowaniu bramek I-NIE z otwartym obwodem



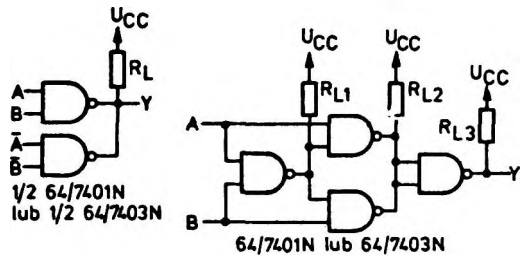
Rys. 2.22. Schemat połączenia bramek I-NIE z otwartym obwodem kolektora, spełniający funkcję negacji sumy iloczynów ($Y = \overline{AB + CD}$).

kolektora tranzystora wyjściowego. Jeżeli wyjście dwu lub więcej bramek I-NIE z otwartym obwodem kolektora połączymy razem (rys. 2.22), to otrzymamy układ realizujący funkcję I-LUB-NIE.

Na rysunku 2.23 przedstawiono schematy logiczne układów realizujących funkcję WYŁĄCZNIK-LUB, (EXCLUSIVE — LUB,

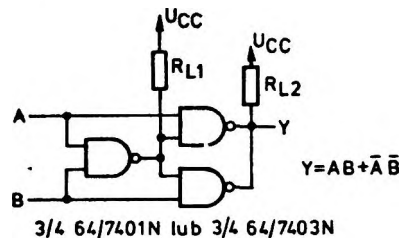
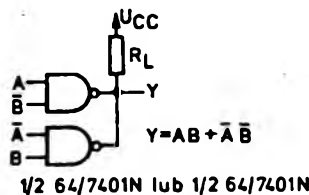
$$Y = A \bar{B} + \bar{A} B$$

$$Y = A \cdot \bar{B} + \bar{A} \cdot B$$



Rys. 2.23. Przykłady realizacji funkcji WYŁĄCZNIK — LUB (EXCLUSIVE — OR)

natomiast na rys. 2.24 przedstawiono schematy logiczne układów realizujących funkcję WYŁĄCZNIK-LUB-NIE. Zgodnie z przedstawionymi przykładami, konieczność zastosowania bramek I-NIE z otwartym obwodem kolektora zachodzi tylko tam, gdzie wyjścia bramek są połączone razem. W innych stop-



Rys. 2.24. Przykłady realizacji funkcji WYŁĄCZNIK — LUB — NIE (EXCLUSIVE — NOR)

określający pozycję cyfry wyświetlanej. Klucze anodowe są kolejno włączane sygnałem logicznym 0, natomiast odpowiednią informację na wejściach bramek I-NIE określa stan logiczny 1. Dekoder stanu licznika rozdzielającego modulo 4 jest zbudowany z bramek I-NIE z otwartym obwodem kolektora. Licznik rozdzielający jest sterowany impulsami zegarowymi o częstotliwości około 1 kHz. Przedstawiony układ, zrealizowany z zastosowaniem układów sca-

lonych małej skali integracji, wymaga użycia większej liczby elementów niż analogiczne układy zbudowane z układów średniej skali integracji. Zaletą opisanego układu jest mniejsza moc zasilania. Układy sakwencyjnego sterowania wskaźników cyfrowych są szczególnie zalecane do urządzeń, w których pole odczytowe wskaźników jest oddzielone i oddalone od licznika.