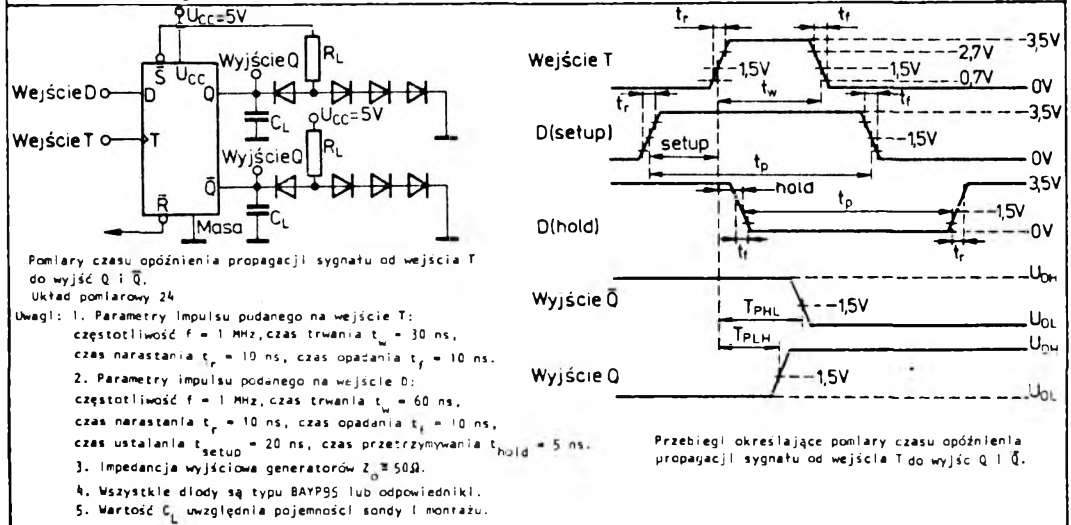
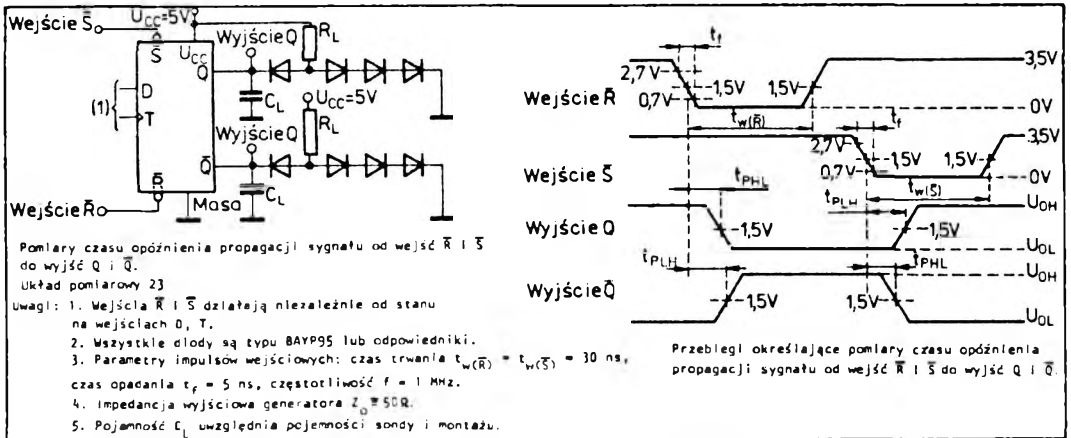


Przerzutniki: UCA6474N, UCY7474N



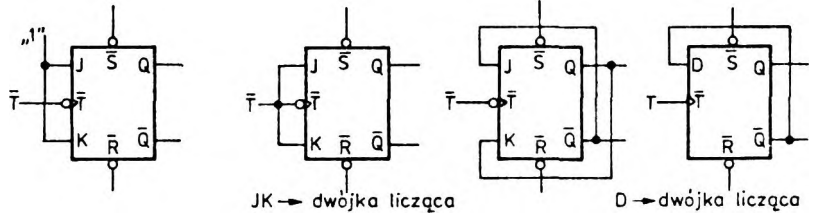
2.1.7.6. Typowe zastosowania przerzutników bistabilnych

Przerzutniki bistabilne są szeroko stosowane jako elementy służące do budowy rejestrów, liczników, dzielników częstotliwości i innych.

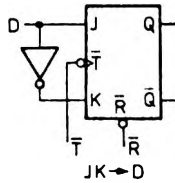
Przerzutniki JK lub D mogą spełniać funkcję dwójki liczącej, a odpowiednie przykłady tego typu zamiany przedstawiono na rys. 2.108. Przekształcenie przerzutnika typu JK w przerzutnik typu D wymaga użycia dodatkowego inwertera do sterowania drugim wejściem programującym (rys. 2.109). Przerzutnik typu T można otrzymać z przerzutnika typu D przez

wprowadzenie bramki WYŁĄCZNIK-LUB (rys. 2.110). Jeżeli na wejściu T jest poziom logiczny 1, to przerzutnik zmienia stan za każdym impulsem synchronizującym. Jeżeli natomiast na wejściu T wystąpi poziom logiczny 0, to przerzutnik pozostanie w stanie, który istniał po ostatnim impulsie zegarowym, przy którym na wejściu T był stan wysoki. Przekształcenie przerzutnika typu JK w przerzutnik typu T nie wymaga użycia dodatkowych elementów.

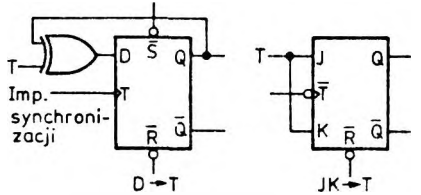
Rys. 2.108
Przykłady
zastosowania
przerzutników typu
JK i D do realizacji
funkcji licznika
modulo 2



Rys. 2.109. Zamiana przerzutnika
JK na przerzutnik typu D



Rys. 2.110. Przykłady zastosowania
przerzutników typu JK i D do realizacji
funkcji przerzutnika typu T



Liczniki szeregowe

Przerzutniki typu JK i D mogą być stosowane do budowy liczników. Przykłady liczników szeregowych (asynchronicznych) wykonanych z zastosowaniem przerzutników scalonych typu JK pokazano na rys. 2.111 do 2.114. Działanie logiczne liczników określają tabele stanów. Stany dwójkowe przedstawionych liczników

w zakresie jaki obejmują są zgodne z kolejnymi stanami licznika BCD 8421.

Bardziej ekonomiczne rozwiązanie liczników o większej pojemności można uzyskać stosując liczniki scalone, które są układami o średniej skali integracji (patrz p. 3.1).

Cechą charakterystyczną liczników zrealizowanych na

Rys. 2.111
Schemat logiczny
licznika szeregowego
modulo 4 z układem
dekodującym stany
dwójkowe na kod 1 z 4

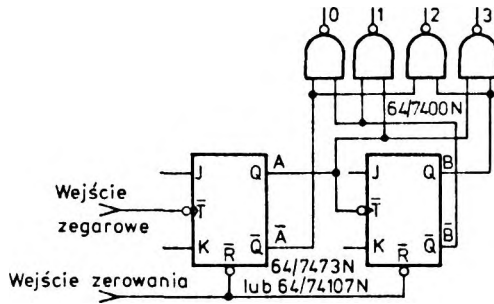


Tabela stanów
licznika modulo 4

Wyjścia →	A	B
Waga →	1	2
0	L	L
1	H	L
2	L	H
3	H	H
4=0	L	L

Rys. 2.112
Schemat logiczny
licznika szeregowego
modulo 5

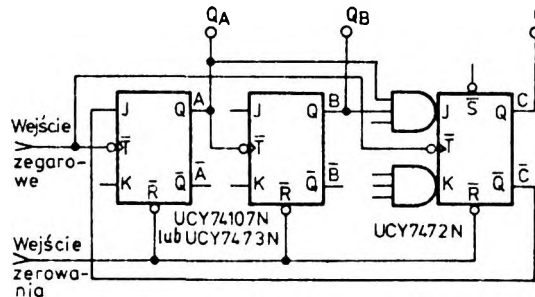


Tabela stanów
licznika modulo 5

Wyjścia →	A	B	C
Waga →	1	2	4
0	L	L	L
1	H	L	L
2	L	H	L
3	H	H	L
4	L	L	H
5=0	L	L	L

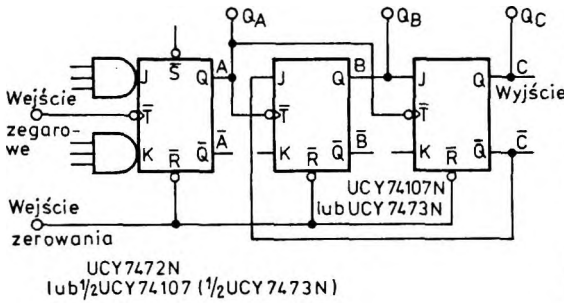
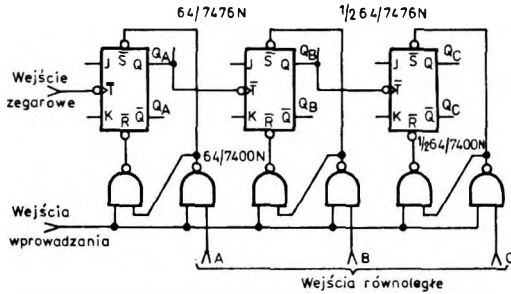


Tabela stanów licznika modulo 6

Wyjścia →	A	B	C
Waga →	1	2	4
0	L	L	L
1	H	L	L
2	L	H	L
3	H	H	L
4	L	L	H
5	H	L	H
6=0	L	L	L

Rys. 2.113
Schemat logiczny licznika szeregowego modulo 6



Rys. 2.114. Schemat logiczny licznika szeregowego z możliwością indywidualnego ustawiania każdego przerzutnika

układach scalonych małej skali integracji jest dostępność wyjść prostych i zanegowanych każdego przerzutnika. W wielu zastosowaniach cecha ta decyduje o przyjęciu rozwiązania z zastosowaniem układów małej skali integracji. Dzięki dostępności wyjść prostych i zanegowanych licznika modulo 4 (rys. 2.111) dekodowanie jego stanów jest możliwe przy użyciu tylko czterech dwuwejściowych bramek I-NIE.

Na rysunku 2.114 pokazano licznik szeregowy z możliwością równoległego ustawiania każdego przerzut-

nika. W czasie liczenia na wejściu wprowadzania powinien być stan niski. Wystąpienie stanu wysokiego na wejściu wprowadzania spowoduje ustawienie wyjść prostych przerzutników Q_A , Q_B i Q_C zgodnie z istniejącymi poziomami logicznymi odpowiednio na wejściach A , B i C .

Liczniki synchroniczne

W pewnych urządzeniach lub systemach wymagana jest praca synchroniczna liczników. Przykłady liczników synchronicznych (równoległych) modulo 3, 4, 5, 6 i 8 pokazano na rys. 2.115—2.119.

Działanie logiczne liczników określają tabele stanów. Zmiana stanów każdego przerzutnika następuje bezpośrednio na skutek działania wejściowego impulsu zegarowego i jest dodatkowo uwarunkowana stanami logicznymi istniejącymi na jego wejściach programujących. Stany dwójkowe przedstawionych liczników synchronicznych w zakresie jaki obejmują są zgodne z kolejnymi stanami licznika BCD 8421. Na rysunkach przedstawiono również schematy liczników liczących wstecz. Do realizacji podanych liczników mogą być użyte układy scalone przerzutników 64/7472N, 64/7473N, 64/74107N lub 64/7476N. Układy 64/7472N należy stosować w stopniach licz-

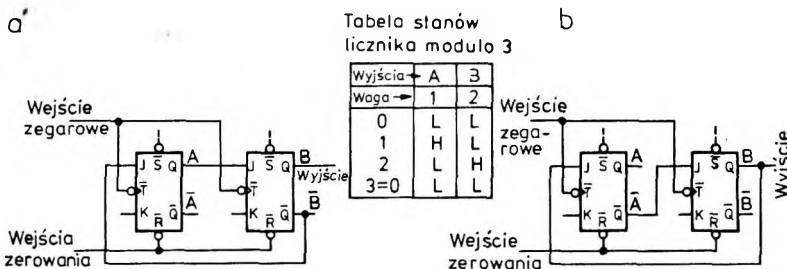


Tabela stanów licznika modulo 3

Wyjścia →	A	B
Waga →	1	2
0	L	L
1	H	L
2	L	H
3=0	L	L

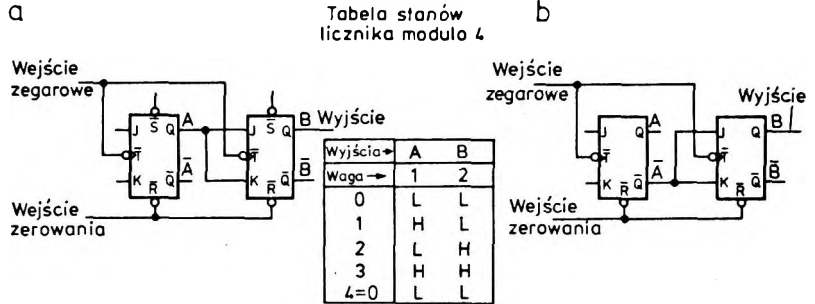
Rys. 2.115
Licznik synchroniczny modulo 3

a — licznik liczący w przód,
b — licznik liczący wstecz

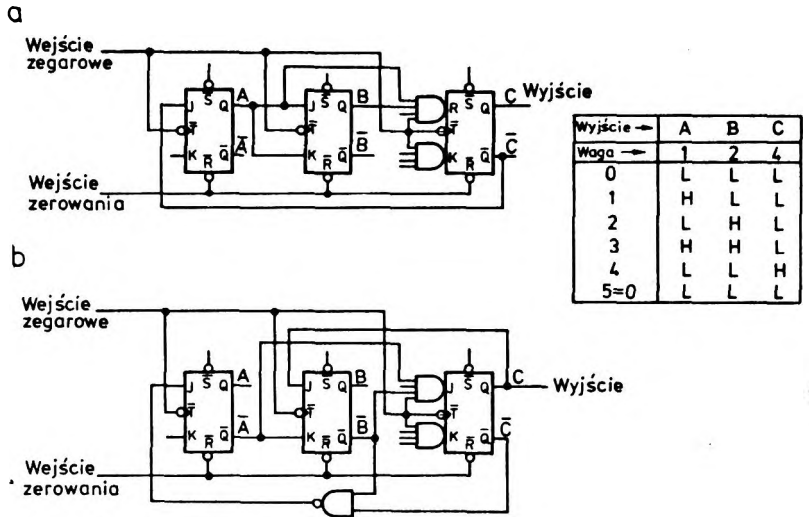
ników, gdzie wymagane są wielokrotne wejścia programujące J, K . Układ 64/7476N należy stosować tam gdzie istnieje konieczność wykorzystania wejść ustawiania \bar{S} .

Bardziej ekonomiczną realizację liczników synchronicznych o większej pojemności można uzyskać przy użyciu synchronicznych liczników scalonych będących układami średniej skali integracji (p.p. 3.1).

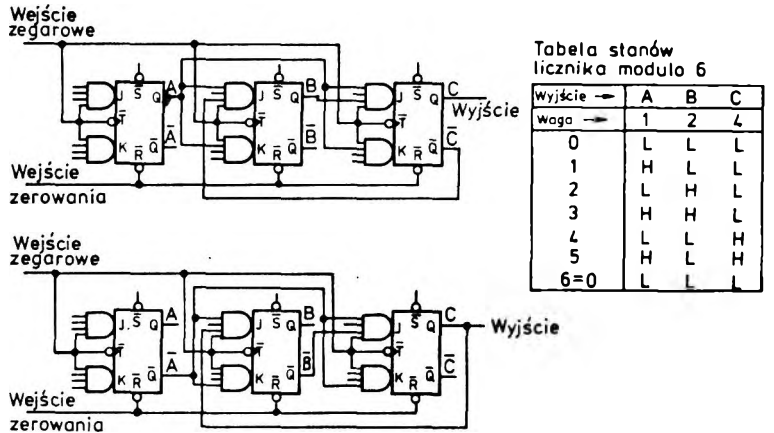
Rys. 2.116
Liczniki synchroniczne modulo 4
a — licznik liczący w przód,
b — licznik liczący wstecz



Rys. 2.117
Liczniki synchroniczne modulo 5
a — licznik liczący w przód,
b — licznik liczący wstecz



Rys. 2.118
Liczniki synchroniczne modulo 6
a — licznik liczący w przód,
b — licznik liczący wstecz



a

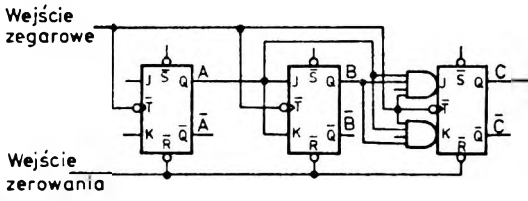
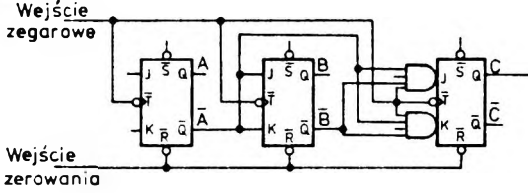


Tabela stanów licznika modulo 8

Wyjścia →	A	B	C
Waga →	1	2	4
0	L	L	L
1	H	L	L
2	L	H	L
3	H	H	L
4	L	L	H
5	H	L	H
6	L	H	H
7	H	H	H
8=0	L	L	L

b



Rys. 2.119 Schematy logiczne liczników synchronicznych modulo 8

a — licznik liczący w przód,
b — licznik liczący wstecz

Rejestry przesuwające

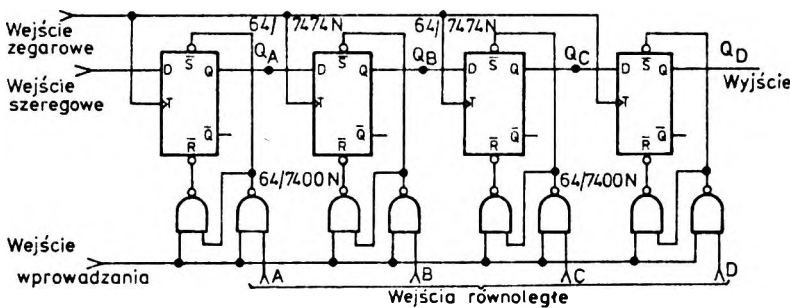
Przerzutniki bistabilne znajdują również zastosowanie w układach rejestrów przesuwających. Przerzutniki typu D są idealnymi elementami do realizacji rejestrów równoległych spełniających rolę buforów przechowujących czasowo informacje wprowadzane lub wyprowadzane do bloków pamięci. Stosując przerzutnik typu D można także zbudować rejestry bardziej uniwersalne, w których wprowadzanie i wyprowadzanie informacji może odbywać się w formie szeregowej lub równoległej. Przykład takiego rejestru przesuwającego przedstawiono na rys. 2.120.

Jeżeli na wejściu wprowadzania jest stan niski, to zablokowane są wejścia równoległe, a informacja jest wprowadzana z wejścia szeregowego i przesuwana wzdłuż rejestru w takt impulsów zegarowych. Jeżeli natomiast na wejściu wprowadzania wystąpi stan wysoki, to informacja z wejść równoległych jest wprowadzana na wyjścia wszystkich przerzutników niezależnie od stanów na wyjściach: szeregowym i zegarowym.

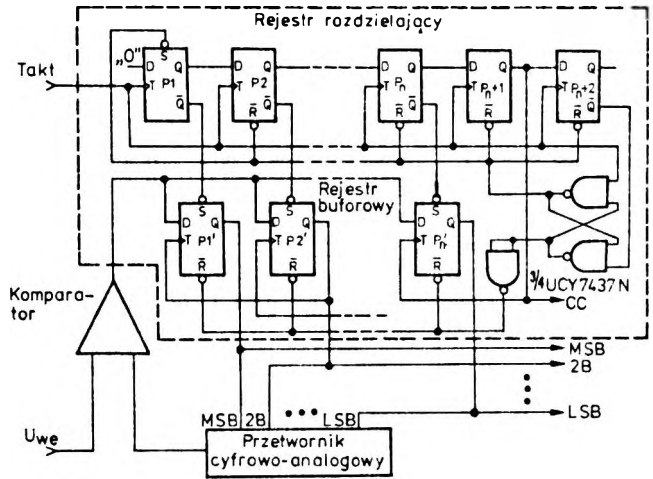
Rejestry aproksymacyjne

W kompensacyjnych przetwornikach analogowo-cyfrowych istotną rolę spełnia rejestr aproksymacyjny składający się z rejestru rozdzielającego, rejestru buforowego oraz układu sterowania.

W realizacji układowej rejestru aproksymacyjnego mogą być użyte przerzutniki typu JK lub D. Na rysunku 2.121 pokazano schemat logiczny przetwornika analogowo-cyfrowego z zastosowaniem rejestru aproksymacyjnego (ograniczony linią przerywaną). Rejestr rozdzielający, złożony z przerzutników $P_1 - P_{n+2}$ pełni rolę układu, w którym tylko jeden przerzutnik jest w stanie wysokim (1). Stan ten jest przesuwany wzdłuż rejestru w takt impulsów zegarowych. Funkcję rejestru rozdzielającego może spełniać również licznik i dekodler lub demultiplexer. Część rejestru aproksymacyjnego, określana jako rejestr buforowy, jest najczęściej budowana na przerzutnikach typu D. W przedstawionym układzie poszczególne bity włącza sygnał logiczny 1. Cykl przetwarzania rozpoczyna się od włączenia najbardziej znaczącego



Rys. 2.120 Schemat logiczny rejestru przesuwającego z możliwością szeregowego lub równoległego wprowadzania danych



Rys. 2.121. Schemat logiczny kompensacyjnego przetwornika analogowo-cyfrowego o działaniu ciągłym

bitu (MSB -- *Most Significant Bit*). W układzie następuje to po zakończeniu procesu zerowania przez ustawienie pierwszego przerzutnika rejestru rozdzielającego ($P1$) w stanie logicznym 1.

Poziom logiczny z wyjścia Q tego przerzutnika ustawia przerzutnik $P1'$ rejestru buforowego w stanie wysokim. W ten sposób na wejściach przetwornika cyfrowo-analogowego jest poziom logiczny 1 w pozycji najbardziej znaczącego bitu i stan logiczny 0 w pozycjach pozostałych bitów. Odpowiadająca temu stanowi wartość napięcia na wyjściu przetwornika cyfrowo-analogowego jest porównana z wartością wyjściową U_{we} .

Jeżeli wartość podstawiona jest mniejsza od wartości wyjściowej, to na wyjściu komparatora wystąpi poziom logiczny 1. Następny takt zegarowy przesunie stan logiczny 1 do drugiego przerzutnika ($P2$) i wprowadzi stan 0 do pierwszego przerzutnika ($P1$) rejestru rozdzielającego. Taka sytuacja spowoduje zmianę stanu przerzutnika $P2'$ rejestru buforowego i wpisanie stanu 1 z wyjścia komparatora w pozycji pierwszego przerzutnika ($P1'$) tego rejestru.

W przedstawionym układzie wprowadzenie stanu z wyjścia komparatora na wyjście pierwszego przerzutnika ($P1'$) następuje w wyniku dodatniego skoku napięcia na wyjściu Q drugiego przerzutnika ($P2'$) połączonego z wejściem synchronizacji (T) pierwszego przerzutnika w rejestrze buforowym. W ten sposób podstawiony został drugi bit. Wpisanie lub nie podstawionego bitu zależy od stanu na wyjściu komparatora, które jest połączone z wejściami programującymi (D) przerzutników rejestru buforowego. Kolejne takty zegarowe powodują ustalenie stanów logicznych na pozostałych wejściach przetwornika cyfrowo-

-analogowego aż do pozycji najmniej znaczącego bitu (LSB), po którym wystąpi sygnał kompletnej konwersji na wyjściu CC .

Kolejny takt zegarowy rozpoczyna następny cykl przetwarzania, w którym dla każdego bitu wykonywane są następujące działania:

- podstawianie bitu,
- porównanie napięcia wyjściowego z przetwornika cyfrowo-analogowego z napięciem przetwarzanym U_{we} ,
- wprowadzenie poziomu logicznego 1 lub 0 na wyjście rejestru buforowego w zależności od wyniku porównania.

Po wykonaniu tych działań dla każdego bitu na wyjściach rejestru buforowego wystąpi kompletny wynik przetwarzania.

Cyfrowy przerzutnik monostabilny

W pewnych urządzeniach wymagane jest wytworzenie impulsu o dokładnie ustalonym czasie trwania. Jeżeli wymagania dotyczące dokładności czasu trwania impulsu przewyższają możliwości scalonych przerzutników monostabilnych, to można stosunkowo łatwo zapewnić bardzo wysoką dokładność czasu trwania impulsu w układach cyfrowych przerzutników monostabilnych.

Na rysunku 2.122 przedstawiono przykład cyfrowego przerzutnika monostabilnego wytwarzający impuls o dokładności czasu trwania określonej dokładnością częstotliwości wzorcowej f_w . W stanie spoczynkowym licznik synchroniczny jest zerowany stanem wysokim z wyjścia Q przerzutnika $P1$. Dodatkowo zbocze przebiegu wyzwalające zmienia stan przerzutnika $P1$

